



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2003092391 A**(43) Date of publication of application: **28.03.03**

(51) Int. Cl.

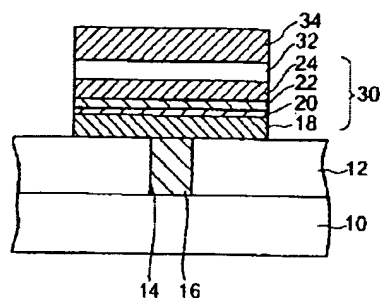
H01L 27/105
H01L 21/3205
(21) Application number: **2002016083**(22) Date of filing: **24.01.02**(30) Priority: **13.07.01 JP 2001213547**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **NAKAMURA WATARU**
O FUMIO
FUJIKI MITSUSHI
**(54) CAPACITIVE ELEMENT AND METHOD FOR
 MANUFACTURING THE SAME**
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a capacitive element having a ferroelectric film capable of preventing oxidation of a plug in a process for crystallizing a capacitor dielectric film in a stacked capacitive element, and preventing diffusion of iridium to the capacitor dielectric film.

SOLUTION: This capacitive element is provided with a lower electrode 30 constituted by successively forming first conductive films 18 and 20 including first metal, a second conductive film 22 formed on the first conductive films 18 and 20, and made of metallic oxide including second metal different from the first metal, and a third conductive film 24 formed on the second conductive film 22, and made of third metal different from the first metal.

COPYRIGHT: (C)2003,JPO

本発明の第1実施形態による容量素子の構造を示す概略断面図



- | | |
|-------------|--------------|
| 10 シリコン基板 | 22 酸化プラチナ膜 |
| 12 層間絶縁膜 | 24 プラチナ膜 |
| 14 コンタクトホール | 30 下部電極 |
| 16 プラグ | 32 キャパシタ誘電体膜 |
| 18 イリジウム膜 | 34 上部電極 |
| 20 酸化イリジウム膜 | |

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-92391

(P2003-92391A)

(43) 公開日 平成15年3月28日 (2003.3.28)

| (51) Int.Cl. ⁷ | 識別記号 | F I | データベース [*] (参考) |
|---------------------------|------|---------------|--------------------------|
| H 0 1 L 27/105 | | H 0 1 L 27/10 | 4 4 4 B 5 F 0 3 3 |
| 21/3205 | | 21/88 | R 5 F 0 8 3 |

審査請求 未請求 請求項の数10 O L (全 26 頁)

| | | | |
|--------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2002-16083 (P2002-16083) | (71) 出願人 | 000003223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (22) 出願日 | 平成14年1月24日 (2002.1.24) | (72) 発明者 | 中村 亘 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
| (31) 優先権主張番号 | 特願2001-213547 (P2001-213547) | (72) 発明者 | 王 文生 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
| (32) 優先日 | 平成13年7月13日 (2001.7.13) | (74) 代理人 | 100091672 弁理士 岡本 啓三 |
| (33) 優先権主張国 | 日本 (J P) | | |

最終頁に続く

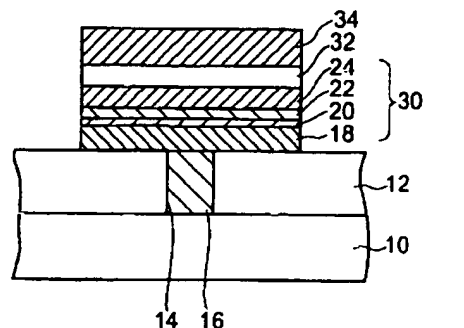
(54) 【発明の名称】 容量素子及びその製造方法

(57) 【要約】

【課題】 強誘電体膜を有する容量素子に関し、スタック型容量素子においてキャパシタ誘電体膜の結晶化過程におけるプラグの酸化を防止するとともに、キャパシタ誘電体膜へのイリジウムの拡散を防止すること。

【解決手段】 第1金属を含む第1導電膜18、20と、第1導電膜18、20上に形成されて第1金属と異なる第2金属の金属酸化物よりなる第2導電膜22と、第2導電膜22の上に形成されて第1金属と異なる第3金属よりなる第3導電膜24とを順に形成してなる下部電極30を含む。

本発明の第1実施形態による容量素子の構造を示す縦断面図



- | | |
|-------------|--------------|
| 10 シリコン基板 | 22 酸化プラチナ膜 |
| 12 清浄絶縁膜 | 24 プラチナ膜 |
| 14 コンタクトホール | 30 下部電極 |
| 16 プラグ | 32 キャパシタ誘電体膜 |
| 18 イリジウム膜 | 34 上部電極 |
| 20 酸化イリジウム膜 | |

【特許請求の範囲】

【請求項1】第1金属を含む第1導電膜と、該第1導電膜上に形成されて前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜と、該第2導電膜の上に形成されて前記第1金属と異なる第3金属よりなる第3導電膜とを順に形成した構造の下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜の上に形成された上部電極とを有することを特徴とする容量素子。

【請求項2】前記第1金属元素はイリジウムであり、前記第2金属の金属酸化物はイリジウムを除く白金族の金属酸化物であり、前記第3金属はイリジウムを除く白金族の金属であることを特徴とする請求項1に記載の容量素子。

【請求項3】前記第2金属は前記第3金属と同じ元素であって、前記第1導電膜と前記第2導電膜の間には前記第2金属よりなるインターフェース導電膜がさらに形成されていることを特徴とする請求項1又は請求項2に記載の容量素子。

【請求項4】前記第2金属はプラチナであり、且つ前記第2導電膜は酸化プラチナ膜であることを特徴とする請求項1乃至請求項4のいずれかに記載の容量素子。

【請求項5】前記第1導電膜は、第1金属膜と第1金属酸化物膜を順に形成した積層膜であることを特徴とする請求項1乃至請求項4のいずれかに記載の容量素子。

【請求項6】基板と、前記基板上に形成された絶縁膜と、前記絶縁膜に埋め込まれた電極プラグとを更に有し、前記下部電極は、前記電極プラグ上に形成されていることを特徴とする請求項1乃至請求項5のいずれかに記載の容量素子。

【請求項7】第1金属を含む第1導電膜を絶縁膜上に形成する工程と、前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜を前記第1導電膜上に形成する工程と、前記第1金属と異なる第3金属よりなる第3導電膜を前記第2導電膜上に形成する工程と、誘電体膜を前記下部電極上に形成する工程と、前記誘電体膜の上に第4導電膜を形成する工程と、前記第1導電膜、前記第2導電膜及び前記第3導電膜をパターニングして容量素子下部電極とする工程と、前記誘電体膜をパターニングして容量素子誘電体膜とする工程と、前記第4導電膜をパターニングして容量素子上部電極とする工程とを有することを特徴とする容量素子の製造方法。

【請求項8】前記第1金属元素はイリジウムであり、前記第2金属の金属酸化物はイリジウムと異なる白金族の金属酸化物であり、前記第3金属はイリジウムと異なる白金族の金属であることを特徴とする請求項7に記載の容量素子の製造方法。

【請求項9】前記第2金属は前記第3金属と同じ元素であって、前記第1導電膜と前記第2導電膜の間に前記第2金属よりなるインターフェース導電膜を形成する工程をさらに有することを特徴とする請求項7又は請求項8に記載の容量素子の製造方法。

【請求項10】前記第1導電膜の形成は、第1金属膜と第1金属酸化物膜を順に形成する工程を含んでいることを特徴とする請求項7乃至請求項9のいずれかに記載の容量素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量素子及びその製造方法に関し、より詳しくは、強誘電体膜又は高誘電体膜を有する容量素子及びその製造方法に関する。

【0002】

【従来の技術】BST (Ba,Sr)TiO₃ 膜、ST (SrTiO₃) 膜、Ta₂O₅ 膜などの高誘電率膜や、PZT (PbZr_xTi_{1-x}O₃) 膜などの強誘電体膜は、その高い誘電率や反転分極特性を活かし、DRAM (Dynamic Random Access Memory) やFeRAM (Ferro-electric Random Access Memory) などのキャパシタ誘電体膜として広く適用されている。

【0003】また、FeRAMの強誘電体キャパシタでは、キャパシタの下部電極とトランジスタの不純物拡散領域との接続を下部電極の上から引き出す構造のプレーナ型が実用化されているが、下部電極をその直下の導電性プラグを介して不純物拡散領域に接続する構造のスタック型がセル面積低減のために今後必要となってくる。

【0004】酸化物高誘電率膜や酸化物強誘電体膜をキャパシタ誘電体膜として用いる場合に、電極材料としてプラチナ(Pt)が広く用いられていた。これは、プラチナの導電率が高いこと、誘電体膜の形成過程における高温プロセスに耐えること、その上層に形成するキャパシタ誘電体膜の配向方向を制御することができることなどの理由による。

【0005】その一方、プラチナは酸素透過性が高いため、スタック型キャパシタでプラグ上にプラチナよりなる下部電極を形成すると、キャパシタ誘電体膜の形成過程の熱処理で酸素が下部電極を透過し、プラグが酸化されてしまう。この結果、例えばプラグをタングステンにより構成した場合、プラグと下部電極との間には絶縁性の酸化タングステン膜が形成され、プラグと下部電極とのコンタクトがとれなくなる。

【0006】そこで、スタック型キャパシタにおいては、下部電極構造としては、下から順にIr膜とPt膜を順に形成してなるPt/Ir構造や、下から順にIrO₂膜とPt膜を順に形成してなるPt/IrO₂構造や、下から順にIr膜とIrO₂膜とPt膜を順に形成してなるPt/IrO₂/Ir構造などの積層構造が採用されている。

【0007】イリジウム (Ir) 膜や酸化イリジウム (IrO_2) 膜は酸素透過性が非常に小さくて熱処理における酸素バリアとして働くため、スタック型キャパシタの下部電極となるプラチナ膜の下層に形成することにより、キャパシタ誘電体膜の形成過程において下部電極の下のプラグの酸化を防止することができる。

【0008】例えば特開平9-22829号公報には、スタック構造の強誘電体キャパシタの下部電極として、 $\text{Pt}/\text{IrO}_2/\text{Ir}$ 構造を用いることが提案されている。この構造により、酸素雰囲気中における熱処理によるキャパシタの下層構造の酸化を抑えつつ、強誘電体膜の所望の特性を確保することに成功している。

【0009】

【発明が解決しようとする課題】しかしながら、キャパシタ誘電体膜としてスパッタリング法により堆積したPZT膜を適用する場合において、イリジウム系酸素バリア層 (Ir膜、 IrO_2 膜) 含む下部電極構造を用いると、キャパシタのリーク電流が増大してしまうことが判明した。

【0010】スパッタリングでPZT膜を下部電極の上に堆積した場合、堆積直後のPZT膜はアモルファス状態であり、PZT膜の結晶化のために高温の熱処理が必要である。

【0011】ところが、イリジウム系酸素バリア層上にPt膜を形成した構造の下部電極の上にアモルファスのPZT膜を堆積した後に、PZT膜の結晶化のために高温熱処理を施すと、イリジウム系酸素バリア層中のイリジウム元素がPt膜を透過し、PZT膜の中に拡散してPZT結晶中に取り込まれてしまい、PZT結晶の絶縁性を低下させてしまう。

【0012】このような現象は、下部電極上へ結晶状態でPZT膜を成長したり、低温でPZT膜の結晶化を行えば回避することは可能であるが、形成したPZT膜の誘電率が小さくなってしまう。

【0013】本発明の目的は、キャパシタ誘電体膜の形成及び結晶化過程において下部電極直下の導電性プラグの酸化を防止するとともに下部電極からキャパシタ誘電体膜への金属拡散を防止しする容量素子及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】上記した課題は、第1金属を含む第1導電膜と、前記第1導電膜上に形成されて前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜と、前記第2導電膜の上に形成されて前記第1金属と異なる第3金属よりなる第3導電膜とを順に形成した構造の下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜の上に形成された上部電極とを有することを特徴とする容量素子によって解決される。

【0015】上記した容量素子において、前記第1金属元素はイリジウムであり、前記第2金属の金属酸化物は

イリジウムを除く白金族の金属酸化物であり、前記第3金属はイリジウムを除く白金族の金属であることを特徴とする。

【0016】上記した容量素子において、前記第2金属は前記第3金属と同じ元素であって、前記第1導電膜と前記第2導電膜の間には前記第2金属よりなるインターフェース導電膜がさらに形成されていることを特徴とする。

【0017】上記した課題は、第1金属を含む第1導電膜を絶縁膜上に形成する工程と、前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜を前記第1導電膜上に形成する工程と、前記第1金属と異なる第3金属よりなる第3導電膜を前記第2導電膜上に形成する工程と、誘電体膜を前記下部電極上に形成する工程と、前記誘電体膜の上に第4導電膜を形成する工程と、前記第1導電膜、前記第2導電膜及び前記第3導電膜をパターンニングして容量素子下部電極とする工程と、前記誘電体膜をパターンニングして容量素子誘電体膜とする工程と、前記第4導電膜をパターンニングして容量素子上部電極とする工程とを有することを特徴とする容量素子の製造方法によって解決される。

【0018】その容量素子の製造方法において、前記第2金属は前記第3金属と同じ元素であって、前記第1導電膜と前記第2導電膜の間に前記第2金属よりなるインターフェース導電膜を形成する工程をさらに有することを特徴とする。

【0019】本発明によれば、第1金属 (例えばイリジウム) を含む第1導電膜と、第1導電膜上に形成され且つ第2金属 (例えばイリジウムを除く白金族) の金属酸化物よりなる第2導電膜と、第2導電膜上に形成され且つ第3金属 (例えばイリジウムを除く白金族の金属) よりなる第3導電膜とを有する下部電極から容量素子を構成している。

【0020】そのような下部電極の構成によれば、第1導電膜によってキャパシタ誘電体膜の成膜過程における下部電極直下の導電性プラグへの酸素の拡散を防止するとともに、第2導電膜によって第1導電膜からキャパシタ誘電体膜への第1金属の拡散を防止する。

【0021】したがって、導電性プラグと下部電極の電氣的接続を良好にすることができ、しかも、下部電極の上に誘電体膜を形成した後に、第1金属の誘電体膜への拡散を防止しつつ誘電体膜の十分な結晶化を図ることができる。これにより、所望の電気特性を有する高性能の容量素子を製造することができる。

【0022】さらに、本発明によれば、第1導電膜と第2導電膜の間に第2金属、例えばイリジウム以外の白金族の金属から構成されるインターフェース導電膜を形成したので、第3導電膜及び強誘電体膜の(111)配向強度を高めることができ、強誘電体キャパシタの電氣的特性を向上させることができる。

【0023】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態) 本発明の第1実施形態による容量素子(キャパシタ)を有する半導体装置及びその製造方法について図1乃至図7を用いて説明する。

【0024】図1は本実施形態による容量素子の構造を示す概略断面図、図2は容量素子中におけるイリジウムの拡散及びその防止効果を示すグラフ、図3は本実施形態による容量素子の製造方法を示す工程断面図、図4は残留電荷量の基板温度依存性を示すグラフ、図5はリーク電流の基板温度依存性を示すグラフ、図6は残留電荷量のガス流量比依存性を示すグラフ、図7は本実施形態の変形例による容量素子の構造を示す概略断面図である。

【0025】はじめに、本実施形態に係る容量素子の構造について図1を用いて説明する。

【0026】シリコン基板10上には、層間絶縁膜12が形成されている。層間絶縁膜12には、シリコン基板10に達するコンタクトホール14が形成されている。コンタクトホール14内には、シリコン基板10に電気的に接続された導電性のプラグ16が形成されている。プラグ16が埋め込まれた層間絶縁膜12上には、イリジウム膜18、酸化イリジウム膜20、酸化プラチナ膜22及びプラチナ膜24が順次積層されてなる下部電極30と、下部電極30上に形成されたPZT膜よりなるキャパシタ誘電体膜32と、キャパシタ誘電体膜32上に形成されたプラチナ膜よりなる上部電極34とを有する容量素子が形成されている。

【0027】このように、本実施形態による容量素子は、下部電極30が、イリジウム膜18と、酸化イリジウム膜20と、酸化プラチナ膜22と、プラチナ膜24との積層膜によって構成されていることに主たる特徴がある。以下、本実施形態による容量素子において下部電極30をこのような積層構造によって構成している理由について説明する。

【0028】イリジウム膜18及び酸化イリジウム膜20は、酸素バリアとなる膜である。前述の通り、プラチナ膜24は酸素透過性が高い膜であり、プラチナ膜24下に酸素バリア層を設けておかないと、キャパシタ誘電体膜32の成膜過程或いは結晶化過程において酸素がプラグ16方向に拡散し、プラグ16の少なくとも上面を酸化する。プラグ16とプラチナ膜24との間に酸素透過性の小さいイリジウム膜18及び酸化イリジウム膜20を設けることにより、キャパシタ誘電体膜32の成膜過程或いは結晶化過程においてプラグ16が酸化されることはなく、プラグ16と下部電極30との間のコンタクト特性を良好に保つことができる。

【0029】イリジウム膜18に加えて酸化イリジウム膜20を形成しているのは、その上に形成するプラチナ

膜24に十分な配向性を持たせるためである。イリジウム膜18のみでもプラチナ膜24は配向するが、イリジウム膜18の配向方向がプラチナ膜24に反映されてしまう。プラチナ膜24により十分な配向性を持たせるためには、イリジウム膜18に加えて酸化イリジウム膜20を形成することが望ましい。

【0030】酸化プラチナ膜22は、酸素バリア層(イリジウム膜18及び酸化イリジウム膜20)からキャパシタ誘電体膜32へのイリジウムの拡散を防止するためのイリジウム拡散防止層である。前述の通り、キャパシタ誘電体膜32としてスパッタ法により堆積したPZT膜を適用した場合、Pt膜を通してイリジウム系酸素バリア層からPZT膜中にイリジウムが拡散し、キャパシタのリーク電流が増大する。そこで、イリジウム拡散防止能力の高い酸化プラチナ膜22を酸素バリア層上に形成することにより、後工程の熱処理過程においてイリジウムがPZT膜中に拡散することを防止することができる。これにより、キャパシタ誘電体膜32の結晶化を十分に図ることができ、所望の誘電率を有するキャパシタ誘電体膜32を形成することができる。

【0031】図2は、容量素子中のイリジウムの深さ方向分布を二次イオン質量分析法により測定した結果を示すグラフである。図中、点線は本実施形態による容量素子の電極構造を用いた場合、実線は従来技術であるPt/Ir_{0.5}/Irの電極構造を用いた場合である。図示するように、点線で示す本実施形態による容量素子ではPZT膜中にイリジウムはほとんど観察されないが、実線で示すPt/Ir_{0.5}/Ir構造の容量素子では高濃度にイリジウムが観察されている。この図から、下部電極30のプラチナ膜24と酸化イリジウム膜20との間に設けた酸化プラチナ膜22が、イリジウム拡散防止作用を有することが判る。

【0032】なお、酸化プラチナ膜22がイリジウムの拡散を防止するメカニズムは明らかではないが、酸化プラチナ膜22中に含まれる酸素がイリジウムの拡散を阻止するうえで重要な役割を有するものと考えられる。

【0033】プラチナ膜24は、主として、キャパシタ誘電体膜32の結晶の配向方向を制御するために設けられた膜である。プラチナ膜24は、導電率が高く、下部電極30の低抵抗化を図るうえでも有効であり、また、高融点であり、キャパシタ誘電体膜の形成過程における高温プロセスに耐えうるというメリットもある。

【0034】このようにして容量素子を構成することにより、イリジウム膜18が酸素バリアとして機能し、酸化プラチナ膜22がイリジウムの拡散バリアとして機能するので、キャパシタ誘電体膜32の形成過程における酸素の浸入と、イリジウムのキャパシタ誘電体膜32への拡散とを防止することができる。したがって、プラグ16と下部電極30とのコンタクト特性を維持しつつ、所望の誘電率を有するキャパシタ誘電体膜32を形成す

ることができる。

【0035】表1に本実施形態と従来技術の下部電極の構造の違いによる容量素子の特性を示す。なお、比較のため表中には、イリジウム拡散防止層を設けていないPt/IrO_x/Ir構造の下部電極を有する容量素子の特性、プレーナ型キャパシタに広く適用されているPt/Ti構

造の下部電極を有する容量素子の特性についても併せて示している。なお、残留電荷量は3Vで測定し、リーク電流は6Vで測定した。

【0036】

【表1】

| 下部電極構造 | 残留電荷量 [$\mu\text{C}/\text{cm}^2$] | 分極飽和電圧 [V] | リーク電流 [A/cm ²] |
|---|--|---------------|-------------------------------|
| Pt/PtO _x /IrO _x /Ir | 33.0 | 2.9 | 3.4×10^{-6} |
| Pt/IrO _x /Ir | 35.0 | 4.5 | 4.0×10^{-2} |
| Pt/Ti | 35.0 | 3.0 | 3.6×10^{-6} |

【0037】表1に示すように、本実施形態による容量素子ではリーク電流が $\mu\text{A}/\text{cm}^2$ オーダーとなった。一方、Pt/IrO_x/Ir構造の下部電極を有する従来の容量素子では、リーク電流が本実施形態の容量素子よりも4桁程度多く、イリジウムの拡散によりキャパシタ誘電体膜の膜質が劣化していることが判る。また、本実施形態による容量素子の各特性は、Pt/Ti構造の下部電極を有する容量素子と遜色なく、良好である。

【0038】次に、本実施形態による容量素子の製造方法について図3を用いて説明する。

【0039】まず、図3(a)に示す構造を形成するまでの工程を説明する。

【0040】シリコン基板10上に、例えばCVD法により、例えば膜厚700nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜12を形成する。

【0041】次いで、リソグラフィ及びドライエッチングにより、層間絶縁膜12に、シリコン基板10に達するコンタクトホールを形成する。

【0042】次いで、全面に、例えばCVD法により、例えば膜厚20nmのチタン(Ti)膜と、膜厚10nmの窒化チタン(TiN)膜と、膜厚300nmのタングステン(W)膜とを堆積する。

【0043】次いで、例えばCMP(Chemical Mechanical Polishing: 化学的機械的研磨)法により、層間絶縁膜12の表面が露出するまでタングステン膜、窒化チタン膜、チタン膜を平坦に研磨し、W/TiN/Ti構造の積層構造よりなりコンタクトホール14に埋め込まれたプラグ16を形成する(図3(a))。

【0044】次いで、図3(b)に示す構造を形成するまでの工程を説明する。

【0045】層間絶縁膜12とプラグ16の上の全面に、例えばスパッタ法により、例えば膜厚200nmのイリジウム膜18を形成する。例えば、基板温度を200℃、パワーを1kW、アルゴン(Ar)ガス流量を100sccmとして、144秒間成膜することにより、膜厚200nmのイリジウム膜18を形成する。

【0046】次いで、イリジウム膜18上に、例えばスパッタ法により、例えば膜厚30nmの酸化イリジウム膜20を形成する。例えば、基板温度を20℃、パワーを1kW、アルゴンガス流量を25sccm、酸素ガス流量を25sccmとして、11秒間成膜することにより、膜厚30nmの酸化イリジウム膜20を形成する。

【0047】次いで、酸化イリジウム膜20上に、例えばスパッタ法により、例えば膜厚23nmの酸化プラチナ膜22を形成する。例えば、基板温度を350℃、パワーを1kW、アルゴンガス流量を36sccm、酸素ガス流量を144sccmとして、27秒間成膜することにより、膜厚23nmの酸化プラチナ膜22を形成する。

【0048】図4に示すように、酸化プラチナ膜22を形成する際の基板温度が200℃より低い場合、或いは、400℃以上の場合、残留電荷量の低下が見られる。また、図5に示すように、酸化プラチナ膜22を形成する際の基板温度が200℃より低い場合、或いは、400℃以上の場合、リーク電流が増大する。また、400℃以上の基板温度では、酸化プラチナ膜22の成膜中に酸素が解離してプラチナ膜が成膜されてしまう。したがって、酸化プラチナ膜22を形成する際の基板温度は、200℃以上400℃未満に設定することが望ましい。また、残留電荷量は、その温度範囲内で成膜温度が高いほどに大きな値となる。したがって、酸化プラチナ膜22を形成する際の基板温度は、上記温度範囲でより高い温度、例えば350℃程度の温度に設定することが望ましい。

【0049】また、上記成膜条件では、酸化プラチナ膜22の膜厚を23nmとしているが、15nm以上の膜厚を適宜選択することができる。膜厚が15nmよりも薄い酸化プラチナ膜22の密着性が十分ではなく、厚すぎるとその後の加工性が劣化する。したがって、酸化プラチナ膜22の膜厚は、15nm以上の膜厚で、適用する装置構造やプロセスに応じて適宜選択することが望ましい。

【0050】また、上記成膜条件では、酸化プラチナ膜

22を形成する際、ガス流量比を $Ar : O_2 = 1 : 4$ としているが、図6に示すように、ガス流量比を $Ar : O_2 = 7 : 2 \sim 1 : 9$ (酸素濃度40~90%) の範囲で変化しても、形成される容量素子の残留電荷量はほとんど変化しない。つまり、酸化プラチナ膜22を成膜する際のガス流量比は残留電荷量に影響を及ぼさないと考えられる。このことから、酸化プラチナ膜22を形成する際のガス流量比はいくつでもよく、望ましくは酸素濃度40~80%である。

【0051】次いで、酸化プラチナ膜22上に、例えばスパッタ法により、例えば膜厚100nmのプラチナ膜24を形成する。例えば、基板温度を13℃、パワーを1kW、アルゴンガス流量を100sccmとして、54秒間成膜することにより、膜厚100nmのプラチナ膜24を形成する。

【0052】なお、プラチナ膜24を形成する際の基板温度は、400℃未満に設定する。400℃上の温度で成膜すると、下地の酸化プラチナ膜22から酸素が解離してしまい、イリジウム拡散防止作用が劣化してしまうからである。

【0053】次いで、アルゴン雰囲気中で600~750℃の急速加熱処理を行い、プラチナ膜24を結晶化する。この熱処理により、プラチナ膜24が所定の配向方向を有するため、後に形成するPZT膜の配向方向を制御することが可能となる。

【0054】次いで、プラチナ膜24上に、スパッタ法により、例えば膜厚100nmのPZT膜26を形成する。

【0055】次いで、酸素雰囲気中で、750℃の急速加熱処理を行い、PZT膜26を結晶化する。このとき、PZT膜26は下地のプラチナ膜24の配向方向を反映して、(111)配向する。また、PZT膜26と酸化イリジウム膜20の間にはイリジウム拡散バリア層として機能する酸化プラチナ膜24が形成されているので、このような高温熱処理を行ってもイリジウムがPZT膜中に拡散することはない。

【0056】次いで、PZT膜26上に、例えばスパッタ法により、例えば膜厚100nmのプラチナ膜28を形成する。例えば、基板温度を13℃、パワーを1kW、アルゴンガス流量を100sccmとして、54秒間成膜することにより、膜厚100nmのプラチナ膜28を形成する(図3(b))。

【0057】次いで、リソグラフィー及びドライエッチングにより、プラチナ膜28、PZT膜26、プラチナ膜24、酸化プラチナ膜22、酸化イリジウム膜20、イリジウム膜18を同一形状にパターニングして、プラチナ膜24/酸化プラチナ膜22/酸化イリジウム膜20/イリジウム膜18からなる下部電極30と、下部電極30上に形成されPZT膜よりなるキャパシタ誘電体膜32と、キャパシタ誘電体膜32上に形成されプラチ

ナ膜よりなる上部電極34を形成する(図3(c))。

【0058】こうして、プラチナ膜24/酸化プラチナ膜22/酸化イリジウム膜20/イリジウム膜18からなる下部電極30を有する容量素子を形成することができる。

【0059】このように、本実施形態によれば、プラチナ膜24/酸化プラチナ膜22/酸化イリジウム膜20/イリジウム膜18からなる下部電極30を構成するので、酸化イリジウム膜20及びイリジウム膜18によってキャパシタ誘電体膜32の成膜過程における酸素の拡散を防止するとともに、酸化プラチナ膜22によって酸素拡散バリア層からキャパシタ誘電体膜32へのイリジウムの拡散を防止することができる。したがって、スパッタリングによりキャパシタ誘電体膜32を形成した場合であっても、イリジウムの拡散を防止しつつキャパシタ誘電体膜の十分な結晶化を図ることができる。これにより、所望の電気特性を有する高性能の強誘電体キャパシタを製造することができる。

【0060】なお、上記実施形態では、下部電極30を、イリジウム膜18と、酸化イリジウム膜20と、酸化プラチナ膜22と、プラチナ膜24との積層膜によって構成したが、酸素バリアとして用いる膜は、イリジウム膜18或いは酸化イリジウム膜20のいずれかのみであってもよい。例えば、図7に示すように、下部電極30を、イリジウム膜18と、酸化プラチナ膜22と、プラチナ膜24との積層膜によって構成することができる。

(第2の実施の形態) 本発明の第2実施形態による半導体装置及びその製造方法について図8乃至図11を用いて説明する。

【0061】図8は本実施形態による半導体装置の構造を示す概略断面図、図9乃至図11は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0062】はじめに、本実施形態による半導体装置の構造について図8を用いて説明する。

【0063】シリコン基板40上には、素子分離膜42が形成されている。素子分離膜42により画定された素子領域には、ゲート電極48とソース/ドレイン拡散層56とを有するメモリセルトランジスタが形成されている。メモリセルトランジスタが形成されたシリコン基板40上には、層間絶縁膜62が形成されている。層間絶縁膜62には、ソース/ドレイン拡散層56に電氣的に接続されたプラグ66が埋め込まれている。

【0064】プラグ66が埋め込まれた層間絶縁膜62上には、Pt/PtO_x/IrO_x/Ir構造の下部電極80が形成されている。下部電極80上には、PZTよりなるキャパシタ誘電体膜82が形成されている。キャパシタ誘電体膜82上には、酸化イリジウムよりなる上部電極84が形成されている。こうして、下部電極80、キャパシタ誘電体膜82、上部電極84により、強誘電体キ

ャパシタが構成されている。

【0065】強誘電体キャパシタが形成された層間絶縁膜62上には、強誘電体キャパシタ保護膜86と、層間絶縁膜88とが形成されている。層間絶縁膜88及び強誘電体キャパシタ保護膜86には、プラグ66に電氣的に接続されたプラグ92が埋め込まれている。プラグ92が埋め込まれた層間絶縁膜88上には、プラグ92、66を介してソース/ドレイン拡散層56に電氣的に接続された配線層96と、上部電極84に接続された配線層98とが形成されている。

【0066】このように、本実施形態による半導体装置は、強誘電体メモリのキャパシタ下部電極80が、第1実施形態による容量素子の下部電極構造と同様に、Pt/PtO₂/IrO₂/Ir構造により構成されていることに特徴がある。このようにして強誘電体メモリを構成することにより酸化イリジウム膜及びイリジウム膜によってキャパシタ誘電体膜の成膜過程における酸素の拡散を防止するとともに、酸化プラチナ膜によって酸素拡散バリア層からキャパシタ誘電体膜へのイリジウムの拡散を防止することができる。したがって、スパッタリングによりキャパシタ誘電体膜を形成した場合であっても、イリジウムの拡散を防止しつつキャパシタ誘電体膜の十分な結晶化を図ることができる。これにより、所望の電気特性を有する高性能の強誘電体メモリを製造することができる。

【0067】次に、本実施形態による半導体装置の製造方法について図9乃至図11を用いて説明する。

【0068】まず、シリコン基板40上に、例えばシャロートレンチ法により、シリコン基板40中に埋め込まれた素子分離膜42を形成する。

【0069】次いで、メモリセルの形成予定領域に、例えばボロンイオンをイオン注入し、Pウェル44形成する(図9(a))。

【0070】次いで、例えば熱酸化法によりシリコン基板40の表面を酸化し、素子分離膜42により画定された素子領域上にシリコン酸化膜よりなるゲート絶縁膜46を形成する。

【0071】次いで、ゲート絶縁膜46上に、例えばCVD法により、多結晶シリコン膜とシリコン窒化膜とを堆積する。

【0072】次いで、シリコン窒化膜及び多結晶シリコン膜を同一形状にパターニングし、上面がシリコン窒化膜50により覆われ、多結晶シリコン膜よりなるゲート電極48を形成する。

【0073】次いで、ゲート電極48をマスクとしてシリコン基板40にイオン注入を行い、ゲート電極48の両側のシリコン基板40に、不純物拡散領域52aを形成する(図9(b))。

【0074】次いで、全面に例えばCVD法によりシリコン窒化膜を堆積した後、このシリコン窒化膜をエッチ

バックし、ゲート電極48及びシリコン窒化膜50の側壁に、シリコン窒化膜よりなるサイドウォール絶縁膜54を形成する。

【0075】次いで、ゲート電極48及びサイドウォール絶縁膜54をマスクとしてシリコン基板40にイオン注入を行い、ゲート電極48の両側のシリコン基板40に、不純物拡散領域52bを形成する。これにより、不純物拡散領域52a、52bよりなるソース/ドレイン拡散層56を形成する(図9(c))。

【0076】こうして、ゲート電極48及びソース/ドレイン拡散層56を有するメモリセルトランジスタを形成する。

【0077】次いで、メモリセルトランジスタが形成されたシリコン基板40上に、例えばCVD法により、膜厚20nmのシリコン窒化膜58と、膜厚700nmのシリコン酸化膜60とを堆積する。

【0078】次いで、例えばCMP法により、シリコン酸化膜60の表面を平坦化し、シリコン窒化膜58及びシリコン酸化膜60よりなり、表面が平坦化された層間絶縁膜62を形成する。

【0079】次いで、リソグラフィー及びドライエッチングにより、層間絶縁膜62に、シリコン基板40に達するコンタクトホール64を形成する。

【0080】次いで、全面に、例えばCVD法により、例えば膜厚20nmのチタン膜と、膜厚10nmの窒化チタン膜と、膜厚300nmのタングステン膜とを堆積する。

【0081】次いで、例えばCMP法により、層間絶縁膜62の表面が露出するまでタングステン膜、窒化チタン膜、チタン膜を平坦に研磨し、W/TiN/Ti構造の積層構造よりなりコンタクトホール64に埋め込まれたプラグ66を形成する(図9(d))。

【0082】次いで、第1実施形態による容量素子の製造方法における下部電極の形成方法と同様にして、例えばスパッタ法により、例えば膜厚200nmのイリジウム膜68と、膜厚30nmの酸化イリジウム膜70と、膜厚23nmの酸化プラチナ膜72と、膜厚100nmのプラチナ膜74とを形成する。

【0083】次いで、アルゴン雰囲気中で750℃の急速加熱処理を行い、プラチナ膜74を結晶化する。

【0084】次いで、プラチナ膜74上に、スパッタ法により、例えば膜厚200nmのPZT膜76を形成する。例えば、基板温度を13℃、パワーを1kW、アルゴンガス流量を24sccmとして、360秒間成膜することにより、膜厚200nmのPZT膜76を形成する。

【0085】次いで、酸素雰囲気中で、750℃の急速加熱処理を行い、PZT膜76を結晶化する。

【0086】次いで、PZT膜76上に、例えばスパッタ法により、例えば膜厚200nmの酸化イリジウム膜

78を形成する(図10(a))。例えば、基板温度を13℃、パワーを1kW、アルゴンガス流量を100sccm、酸素ガス流量を100sccmとして、81秒間成膜することにより、膜厚200nmの酸化イリジウム膜78を形成する。

【0087】次いで、リソグラフィー及びドライエッチングにより、酸化イリジウム膜78、PZT膜76、プラチナ膜74、酸化プラチナ膜72、酸化イリジウム膜70、イリジウム膜68を同一形状にパターンニングし、プラチナ膜74/酸化プラチナ膜72/酸化イリジウム膜70/イリジウム膜68からなる下部電極80と、下部電極80上に形成されPZT膜よりなるキャパシタ誘電体膜82と、キャパシタ誘電体膜82上に形成され酸化イリジウム膜よりなる上部電極84を形成する(図10(b))。

【0088】こうして、下部電極80、キャパシタ誘電体膜82、上部電極84からなり、下部電極80がプラグ66を介してソース/ドレイン拡散層56に電気的に接続された強誘電体キャパシタを形成する。

【0089】次いで、全面に、例えばスパッタ法により、膜厚40nmのPZT膜を形成する。なお、このPZT膜は、強誘電体キャパシタ保護膜86として機能する(図10(c))。

【0090】次いで、強誘電体キャパシタ保護膜86上に、例えばCVD法により、膜厚1100nmのシリコン酸化膜を形成する。

【0091】次いで、例えばCMP法により、シリコン酸化膜の表面を研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜88を形成する(図11(a))。

【0092】次いで、リソグラフィー及びドライエッチングにより、層間絶縁膜88に、プラグ66に達するコンタクトホール90を形成する。

【0093】次いで、全面に、例えばCVD法により、例えば膜厚20nmのチタン膜と、膜厚10nmの窒化チタン膜と、膜厚300nmのタングステン膜とを堆積する。

【0094】次いで、例えばCMP法により、層間絶縁膜88の表面が露出するまでタングステン膜、窒化チタン膜、チタン膜を平坦に研磨し、W/TiN/Ti構造の積層構造よりなりコンタクトホール90に埋め込まれたプラグ92を形成する(図11(b))。

【0095】次いで、リソグラフィー及びドライエッチングにより、層間絶縁膜88に、上部電極84に達するコンタクトホール94を形成する。

【0096】次いで、全面に、例えばスパッタ法により、例えば膜厚60nmのチタン膜と、膜厚30nmの窒化チタン膜と、膜厚400nmのAu-Cu膜と、膜厚5nmのチタン膜と、膜厚70nmの窒化チタン膜とを順次堆積する。

【0097】次いで、TiN/Ti/Au-Cu/TiN/Ti構造

の導電体をパターンニングし、プラグ66、92を介してソース/ドレイン拡散層56に電気的に接続された配線層96と、上部電極84に電気的に接続された配線層98とを形成する(図11(c))。

【0098】こうして、2トランジスタ、2キャパシタを有する強誘電体メモリを製造することができる。

【0099】このように、本実施形態によれば、強誘電体メモリのキャパシタ下部電極を、Pt/PtO_x/IrO_x/Ir構造により構成するので、酸化イリジウム膜及びイリジウム膜によってキャパシタ誘電体膜の成膜過程における酸素の拡散を防止するとともに、酸化プラチナ膜によって酸素拡散バリア層からキャパシタ誘電体膜へのイリジウムの拡散を防止することができる。したがって、スパッタリングによりキャパシタ誘電体膜を形成した場合であっても、イリジウムの拡散を防止しつつキャパシタ誘電体膜の十分な結晶化を図ることができる。これにより、所望の電気特性を有する高性能の強誘電体メモリを製造することができる。

【0100】なお、上記実施形態では、強誘電体メモリのキャパシタとして図1に示す第1実施形態による容量素子を適用したが、図7に示す第1実施形態の変形例による容量素子を用いて強誘電体メモリを構成してもよい。

(第3の実施の形態) 本発明は上記実施形態に限らず種々の変形が可能である。

【0101】例えば、上記実施形態では、酸素拡散バリア層として、IrO_x/Ir構造及びIrの単層構造を示したが、酸素の拡散を防止するためには、少なくともIrO_x膜又はIr膜がプラグとキャパシタ誘電体膜との間に形成されていればよい。したがって、Ir/IrO_x構造や、IrO_x膜やIr膜の他に他の導電膜を有するように構成してもよい。但し、キャパシタ誘電体膜の配向制御を考慮した場合、前述の通り、最上層をIrO_xにより構成することが望ましい。

【0102】また、上記実施形態では、イリジウム拡散バリア層として酸化プラチナ膜を用いたが、他の導電膜によって構成してもよい。プラチナに類似する性質を有する元素として白金族元素があり、これには、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)がある。これらのうち、イリジウム以外の元素は、イリジウム拡散バリア層として適用可能であると考えられる。したがって、これら金属元素の導電性酸化物、すなわち、RuO_x、RhO_x、PdO_x、OsO_xのいずれかを、酸化プラチナ膜の代わり使用できるものと考えられる。

【0103】同様に、イリジウム拡散バリア層の上層に形成するプラチナ膜の代わりに、ルテニウム膜、ロジウム膜、パラジウム膜又はオスミウム膜を用いてもよい。

【0104】また、上記実施形態では、キャパシタ誘電体膜としてPZT膜を適用した場合を示したが、他のキ

ャバシタ誘電体膜を用いる場合においても、本発明を同様に適用することができる。例えば、キャバシタ誘電体膜として、BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) 膜、ST (SrTiO_3) 膜、 Ta_2O_5 膜などの高誘電率膜や、Y1などの強誘電体膜を適用することができる。

【0105】また、上記第2実施形態では、本発明による容量素子を強誘電体メモリに適用した場合を示したが、他の半導体装置に適用することもできる。例えば、本発明による容量素子を用いてDRAMを構成するようにしてもよいし、本発明による容量素子を単体で用いてもよい。

【0106】また、上記実施形態では、酸化プラチナ膜を PtO_x と、酸化イリジウム膜を IrO_x と表しているが、これら金属酸化物の酸素の組成比 x は適宜選択することができる。典型的な膜では、組成比 x は、 $0 < x \leq 2$ の範囲とすることができる。

【0107】なお、容量素子の上部電極として、プラチナの代わりに酸化イリジウムを形成してもよい。

(第4の実施の形態) 第1～第3の実施形態に示した容量素子の下部電極は、Ir膜や IrO_x 膜のような酸素バリア膜と、 PtO_x 膜のようなイリジウム拡散防止膜と、Pt膜のような誘電体下地膜を順に形成した構造を有している。

【0108】即ち、酸素バリア膜は、Ir膜の単層構造か、又はIr膜と IrO_x 膜の二層構造のいずれかとなっている。また、イリジウム拡散防止膜は、酸素バリア膜内のIrがその上方のPZT強誘電体膜へ拡散することを防止するものであって、Ir以外の白金族よりなる金属酸化物から構成されている。

【0109】しかし、そのような層構造の下部電極においては最上のPt膜の(111)配向が弱くなる傾向にある。

【0110】例えば、第1実施形態のように、Ir膜と IrO_x 膜と PtO_x 膜とPt膜を順に形成した構造を持つ下部電極の上に形成されたPZT膜を結晶化アニールした場合の強誘電体特性は、Ti膜とPt膜を順に形成した構造の下部電極の上に形成されたPZT膜を結晶化アニールした場合の強誘電体特性に比べて良くない。

【0111】そこで、本実施形態及び後述する実施形態では、下部電極の構成として、酸素バリア膜とイリジウム拡散防止膜を有するとともに強誘電体膜の下地となるPt膜の(111)面配向を高めるための配向改善用のインターフェース膜をさらに備えたキャパシタについて説明する。

【0112】図12、図13は、本発明の第4実施形態に係るキャパシタの形成工程を示す断面図である。図1と同じ符号は、同じ要素を示している。

【0113】まず、図12(a)に示す構造を形成するまでの工程を説明する。

【0114】不純物拡散領域10aが形成されたシリコ

ン基板10の上に SiO_2 よりなる層間絶縁膜12を形成した後に、レジストパターン(不図示)を用いて絶縁膜12をエッチングすることにより不純物拡散領域10aの上にコンタクトホール14を形成する。続いて、コンタクトホール14内に窒化チタン(TiN)膜とタングステン(W)膜を順に形成した後に、CMP法により層間絶縁膜12上面上のTiN膜とW膜を除去する。これによりコンタクトホール14内に残されたW膜とTiN膜を導電性のプラグ16として用いる。

【0115】次に、図12(b)に示すように、プラグ16及び層間絶縁膜12の上に、下部電極用導電膜17として、イリジウム(Ir)膜18、酸化イリジウム(IrO_x)膜20、第1のプラチナ(Pt)膜21、酸化プラチナ(PtO_x)膜22及び第2のプラチナ(Pt)膜24を順に形成する。

【0116】Ir膜18は、例えば、基板温度を400℃、パワーを1kWに設定するとともに成長雰囲気内にアルゴン(Ar)ガスを100sccmの流量で導入し、成長時間を144秒間とする条件で、スパッタ法により200nmの厚さに形成される。

【0117】 IrO_x 膜20は、例えば、基板温度を400℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを60sccm、酸素(O_2)ガスを20sccmの流量で導入し、成長時間を10秒間とする条件で、スパッタ法により28nmの厚さに形成される。そのような条件によれば、 IrO_x 膜のうちの酸素(O)の組成比 x は $x=1 \sim 1.2$ となってメタリックな構造となる。なお、 IrO_x 膜20の形成条件としてArガスと酸素ガスを共に40sccmおすれば、組成比 x は1.2より大きくなる。なお、 IrO_x 膜20の組成比 x は例えば $0 < x < 2$ である。

【0118】第1のPt膜21は、酸化プラチナ(PtO_x)膜22及び第2のPt膜24の結晶方位を制御するためのPt-インターフェース膜であって、例えば、基板温度を350℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを100sccmの流量で導入し、成長時間を4秒間とする条件で、スパッタ法により5nmの厚さに形成される。

【0119】 PtO_x 膜22は、例えば、基板温度を350℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを36sccm、酸素(O_2)ガスを144sccmの流量で導入し、成長時間を27秒とする条件で、スパッタ法により30nmの厚さに形成される。 PtO_x 膜22の組成比 x は例えば $0 < x < 2$ である。

【0120】第2のPt膜24は、例えば、基板温度を100℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを100sccmの流量で導入し、成長時間を34秒とする条件で、スパッタ法により50nmの厚さに形成される。

【0121】この後に、アルゴン導入雰囲気中における

750℃、60秒間の急速加熱処理により、第2のPt膜22を結晶化する。

【0122】次に、図12(c)に示すように、第2のPt膜22の上に強誘電体膜としてPZT ($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$) 膜26をスパッタ法により100nmの厚さに形成する。強誘電体膜26の形成方法は、その他に、MOD(metal organic deposition)法、MOCVD(有機金属CVD)法、ゾル・ゲル法などがある。また、強誘電体膜26の材料としては、PZTの他に、PLCSZT、PLZTのような他のPZT系材料や、SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。また、高誘電体容量素子を形成しようとする場合には、強誘電体膜の代わりに、 $\text{Ba}_2\text{Sr}_{1-x}\text{TiO}_3$ 、 SrTiO_3 、PLZTなどの高誘電体膜が形成される。

【0123】その後、750℃の急速加熱処理を行うことによりPZT膜26を結晶化する。

【0124】続いて、図13(a)に示すように、PZT膜26の上に、上部電極用導電膜27として IrO_x 膜を形成した。なお、上部電極用導電膜27として IrO_x 膜の代わりにPt膜を形成してもよい。

【0125】この後に、図13(b)に示すように、上部電極用導電膜27、PZT膜26及び下部電極用導電膜17をフォトリソグラフィ法によりパターンニングすることにより容量素子(キャパシタ)Qを形成する。このパターンニングによって、上部電極用導電膜27は容量素子Qの上部電極34aとなり、PZT膜26は容量素子Qの誘電体膜32aとなり、下部電極用導電膜17は容量素子Qの下部電極30aとなる。

【0126】ところで、PZT膜26の分極方向は(001)であるが、(001)に配向させることは非常に難しい。そこで、PZT膜26の残留分極(スイッチング)を上げるためにPZT膜26の結晶を(111)方向に配向させることが一般的である。

【0127】従って、容量素子Qの形成工程において、下部電極用導電膜17の上に形成されたPZT膜26は、その下地である第2のPt膜24の配向方向を反映して(111)面に配向させることが好ましい。

【0128】そこで、上記した下部電極30aを構成する複数の膜のうちPt-インターフェース膜21が有るか無いかの違いによって、第2のPt膜24の(111)配向積分強度とPZT膜の(111)配向積分強度にどの程度の差が生じるかを実験によって確認した。

【0129】リファレンスとして、Ir膜、 IrO_x 膜、Pt膜及びPt膜を順に形成した構造の下部電極と、この下部電極の上で結晶化されたPZT誘電体膜と、 IrO_x 上部電極とを有する容量素子を用いた。そして、リファレンス容量素子において、下部電極を構成するPt膜の(111)配向積分強度をX線回折法により測定し、さらにPZT誘電体膜の(111)配向積分強度をX線回

折法により測定したところ、図14の「REF」に示すような結果が得られた。

【0130】さらに、図13(b)に示した本実施形態の容量素子Qにおいて、Pt-インターフェース膜21を有する下部電極30aを構成する第2のPt膜24の(111)配向積分強度をX線回折法により測定し、さらにその上のPZT膜26の(111)配向積分強度をX線回折法により測定したところ、図14の「Pt-Interface」に示すような結果が得られた。

【0131】図14によれば、本実施形態の容量素子QにおけるPt/ PtO_x /Pt/ IrO_x /Ir構造の下部電極30a内の最上層であるPt膜24の(111)配向積分強度は、リファレンス容量素子におけるPt/ PtO_x /IrO_x/Ir構造の下部電極内の最上層であるPt膜の(111)配向積分強度よりも15%高くなった。また、本実施形態の容量素子QにおけるPZT膜26の(111)配向積分強度は、リファレンス容量素子におけるPZT膜の(111)配向積分強度よりも18%高くなった。

【0132】次に、下部電極の構造にPt-インターフェース膜を持つか否かの違いによる強誘電体容量素子の分極飽和電圧の差異について説明する。

【0133】リファレンスとして、Ir膜、 IrO_x 膜、Pt膜及びPt膜を順に形成した構造の下部電極と、この下部電極の上で結晶化されたPZT誘電体膜と、 IrO_x 上部電極とを有する容量素子Q₀を用意した。

【0134】また、本実施形態の容量素子としては図13(b)に示した構造の容量素子を用いる。本実施形態の容量素子の下部電極30aを構成するPt/ PtO_x /Pt/ IrO_x /Ir構造のうち IrO_x 膜20の形成条件を変えた場合の本実施形態の容量素子の分極飽和電圧の差異も併せて調べた。その IrO_x 膜20の形成条件は、スパッタ雰囲気中に流されるアルゴンと酸素の流量のみを変え、その他は変えないことにする。 IrO_x 膜20の形成のための第1条件はアルゴン流量を40sccm、酸素流量を40sccmに設定し、また、第2条件はアルゴンガスを60sccm、酸素ガスを20sccmに設定した。第2条件により形成される IrO_x 膜は、第1条件により形成される IrO_x 膜よりもメタリックである。

【0135】第1条件で形成された IrO_x 膜20を下部電極30aに有する本実施形態の容量素子Q₁₁と、第2条件で形成された IrO_x 膜20を下部電極30aに有する本実施形態の容量素子Q₁₂とリファレンス容量素子Q₀のそれぞれについて分極飽和電圧を測定したところ、図15に示すような結果が得られた。なお、測定に使用される各容量素子Q₀、Q₁₁、Q₁₂の平面形状を50μm×50μmのサイズとした。

【0136】分極飽和電圧を調べるために、容量素子Q₀、Q₁₁、Q₁₂のヒステリシス特性をソーヤタワー回路を用いて測定した。そして、印加電圧の変化に対する容量素子の分極変化として負荷キャパシタの電圧変化を測

定した。この場合、印加電圧として1.2V～3.0Vの三角波を用いて、分極反転電荷量（スイッチング電荷）量を調べた。分極飽和電圧は、スイッチング電荷量が飽和値の90%に達する電圧と定義する。

【0137】図15によれば、第1条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₁の分極飽和電圧は、リファレンス容量素子Q₀の分極飽和電圧よりも0.1V低くなった。また、第2条件によりメタリック化されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₂の分極飽和電圧は、リファレンス容量素子Q₀の分極飽和電圧よりも0.2V低くなった。

【0138】従って、本実施形態の容量素子Q₁₁、Q₁₂のように、下部電極30a内のPtO_x膜22とIrO_x膜20の間にPt-インターフェース層21を形成することにより、第2のPt膜24とPZT膜26の(111)配向が強くなって、リファレンス容量素子Q₀よりも分極飽和電圧が低くなることがわかった。

【0139】また、本実施形態の容量素子であっても下部電極30aを構成するIrO_x膜20の酸素含有量が少ない方が容量素子の分極飽和電圧を小さくすることに寄与することがわかった。

【0140】なお、図15において、各容量素子Q₀、Q₁₁、Q₁₂の分極飽和電圧の測定はそれぞれ複数個ずつ行われており、縦線は測定に現れた値の範囲であり、また四角で示した部分は縦線の中で測定値が集中した範囲を示している。

【0141】次に、下部電極の構造にPt-インターフェース膜を持つか持たないかの違いによる強誘電体容量素子のスイッチング電荷量の差異について説明する。

【0142】リファレンスとして図15の試験に用いたと同じ構造の容量素子Q₀を使用した。また、本実施形態の容量素子として、図15の試験に使用した容量素子と同じように、第1条件で形成したIrO_x膜20を有する下部電極30aを備えた容量素子Q₁₁と、第2条件で形成したメタリックなIrO_x膜20を有する下部電極30aを備えた容量素子Q₁₂を使用した。本実施形態に係る容量素子Q₁₁、Q₁₂は、リファレンス容量素子Q₀と異なりPt-インターフェース膜21を有している。なお、測定に使用した各容量素子Q₀、Q₁₁、Q₁₂の平面形状を50μm×50μmのサイズとした。

【0143】そして、容量素子Q₀、Q₁₁、Q₁₂への印加電圧を1.8Vとした場合についてスイッチング電荷量を調べたところ図16に示すような結果が得られ、また印加電圧を3.0Vとした場合についてスイッチング電荷量を調べたところ図17に示すような結果が得られた。

【0144】図16において、第1条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₁のスイッチング電荷量は、リファレンス容量素子Q₀のスイッチング電荷量よりも4μC/cm²程度高くなった。また、第2条件によりメタリック化されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₂のスイッチング電荷量は、リファレンス容量素子Q₀のスイッチング電荷量よりも2μC/cm²程度高くなった。

【0145】また、図17によれば、第1条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₁のスイッチング電荷量は、リファレンス容量素子Q₀のスイッチング電荷量よりも2μC/cm²程度高くなった。また、第2条件によりメタリック化されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₂のスイッチング電荷量は、リファレンス容量素子Q₀のスイッチング電荷量よりも2μC/cm²程度高くなった。

【0146】従って、本実施形態の容量素子Q₁₁、Q₁₂のように、下部電極30a内のPtO_x膜22とIrO_x膜20の間にPt-インターフェース膜21を形成することにより、第2のPt膜24とPZT膜26の(111)配向が、リファレンス容量素子Q₀に比べて強くなり、スイッチング電荷量が高くなっていることがわかる。

【0147】なお、図16、図17において、各容量素子Q₀、Q₁₁、Q₁₂のスイッチング電荷量の測定はそれぞれ複数個ずつ行われており、縦線は測定された値の範囲であり、また四角で示した部分は縦線の中で測定値が集中した範囲を示している。

【0148】次に、下部電極の構造の違いによる強誘電体容量素子のリーク電流密度、疲労損失及びリテンション特性のそれぞれについて調査した結果を説明する。

【0149】それらの調査に使用したリファレンスとして、図15の試験に用いたと同じ構造の容量素子Q₀を使用した。また、それらの調査に使用した本実施形態の容量素子として、図15に使用した容量素子と同じように、第1条件で形成したIrO_x膜20を有する下部電極30aを備えた容量素子Q₁₁と、第2条件で形成したメタリックなIrO_x膜20を有する下部電極30aを備えた容量素子Q₁₂を使用した。本実施形態に係る容量素子Q₁₁、Q₁₂はともにPt-インターフェース膜21を有している。なお、測定に使用した容量素子Q₀、Q₁₁、Q₁₂は、平面形状が50μm×50μmのサイズとした。

【0150】まず、構造の異なる下部電極を有する3種類の容量素子Q₀、Q₁₁、Q₁₂のリーク電流密度を調べた結果を図18に示す。各容量素子Q₀、Q₁₁、Q₁₂のリーク電流密度の測定はそれぞれ複数個ずつ行われており、縦線は測定された値の範囲であり、また四角で示した部分は縦線の中で測定値が集中した範囲を示している。

【0151】図18において、下部電極内にPt-インターフェース膜を有しないリファレンス容量素子Q₀のリー

ーク電流は約 $1 \times 10^{-3.75} \text{ A/cm}^2 \sim 1 \times 10^{-2.90} \text{ A/cm}^2$ となった。また、第1条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₁のリーク電流は、約 $1 \times 10^{-3.45} \text{ A/cm}^2 \sim 1 \times 10^{-3.98} \text{ A/cm}^2$ となった。さらに、第2条件で形成されたメタリックなIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₂のリーク電流は約 $1 \times 10^{-3.0} \text{ A/cm}^2 \sim 1 \times 10^{-2.90} \text{ A/cm}^2$ となった。なお、リーク電流の測定は、各容量素子Q₀、Q₁₁、Q₁₂の上部電極・下部電極間に6Vの電圧を印加して行った。

【0152】図18によれば、リファレンス容量素子Q₀と本実施形態の容量素子Q₁₁、Q₁₂ではリーク電流はあまり変わらないことがわかった。これは、PtO_x膜22によりPZT膜26へのIrの拡散が防止されているからである。これらにより、本願実施形態の容量素子Q₁₁、Q₁₂の下部電極30aによりリーク電流の防止効果があることがわかった。

【0153】次に、構造の異なる下部電極を有する3種類の容量素子Q₀、Q₁₁、Q₁₂のPZT膜の疲労特性（ファティーグ）を調べた結果を図19に示す。各容量素子Q₀、Q₁₁、Q₁₂のリーク電流密度の測定はそれぞれ複数個ずつ行われており、縦線は測定された値の範囲であり、また四角で示した部分は縦線の中で測定値が集中した範囲を示している。

【0154】疲労特性は、調査対象となるそれぞれの容量素子Q₀、Q₁₁、Q₁₂に±7Vの電圧を印加して分極反転させ、分極反転の動作サイクルを250nsとし、2.880×10⁷サイクル後の分極電荷量を初期の分極電荷量と比較して行われる。

【0155】図19において、第1条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₁の疲労損失は、リファレンス容量素子Q₀の疲労損失に比べて約10%低い。また、第2条件で形成されたIrO_x膜20を下部電極30a内に持つ本実施形態の容量素子Q₁₂の疲労損失は、リファレンス容量素子Q₀の疲労損失に比べて約15%低い。

【0156】即ち、本実施形態による容量素子Q₁₁、Q₁₂によれば、Pt-インターフェース膜21を下部電極30a内のPtO_x膜22とIrO_x膜20の間に入れることにより、第2のPt膜22とPZT膜26の(111)配向が強くなってPZT膜26の膜質が良くなり、疲労損失が小さくなることがわかった。しかも、下部電極30aを構成するIrO_x膜22の酸素濃度を低くしてメタリック化することにより、PZT膜26の膜質はさらに良くなり、疲労損失がさらに小さくなることがわかった。

【0157】次に、構造の異なる下部電極を有する3種類の容量素子Q₀、Q₁₁、Q₁₂のPZT膜のリテンション特性を調べた結果を図20に示す。各容量素子Q₀、Q₁₁、Q₁₂のリテンションの調査はそれぞれ複数個ずつ

行われており、縦線は測定された値の範囲であり、また四角で示した部分は縦線の中で測定値が集中した範囲を示している。

【0158】リテンションは、容量素子が電圧印加により一方方向に分極された後に、時間の経過とともに分極電荷量が減少する分極保持特性である。

【0159】リテンション特性の測定では、同じ構造の容量素子について、容量素子の上部電極に例えば3Vに印加して+方向に分極させて150℃の温度下で一定時間放置した場合と、上部電極に例えば-3Vを印加して-方向に分極させて150℃の温度下で一定時間放置した場合とのそれぞれについて分極値の保持量（減少量）を測定している。

【0160】図20は、そのように分極させた容量素子Q₀、Q₁₁、Q₁₂を150℃の温度下に88時間放置した後のそれぞれの容量素子による分極の保持量Q₂ (88)を示している。図20によれば、Pt-インターフェース膜21を下部電極30a内のPtO_x膜22とIrO_x膜20の間に入れた本実施形態の容量素子Q₁₁、Q₁₂は、Pt-インターフェース膜を下部電極に有しないリファレンス容量素子Q₀に比べ、PZT膜26の膜質が向上してリテンション特性が約2μC/cm²高くなった。

【0161】以上のように本実施形態の容量素子Q₁₁、Q₁₂による電気特性の数値は、下側チタン膜/上側プラチナ(Pt/Ti)構造を下部電極として採用したプレーナ型の容量素子と遜色無く、良好であり、特に、低電圧のスイッチング電荷量が高くなるなど、次世代のFeRAMの開発に欠かせない重要な課題を解決している。

【0162】なお、本実施形態の容量素子Q₁₁、Q₁₂の下部電極30aの密着性試験を行ったところ、PtO_x膜22とIrO_x膜20の間にPt-インターフェース膜21を有しない下部電極に比べて、PtO_x膜22とIrO_x膜20の界面で剥がれが起き難くなった。また、Pt-インターフェース膜21を有する下部電極30aであっても、Pt-インターフェース膜21の下地であるIrO_x膜20における酸素組成比xが例えば1~1.2のように少なくなると、PtO_x膜22とIrO_x膜20の密着不良発生率が約1/7となり、下部電極30aを構成する多層膜の密着性改善の効果が著しいことがわかった。

【0163】なお、密着性の試験は、容量素子の上部電極にエポキシ樹脂を張り付けて150℃で1時間乾燥した後にエポキシ樹脂を引っ張るという引っ張り試験により行われた。

【0164】ところで、上記したようにPt/PtO_x/Pt/IrO_x/Ir構造の下部電極30aのうちIrO_x膜を除いてもよく、図21に示すようなPt/PtO_x/Pt/Ir構造(30b)の下部電極30bとしてもよい。この場合にも、下部電極30bの上に形成されたPZT膜26の膜質は、Pt-インターフェース膜21の存在により改善されている。また、Pt/PtO_x/Pt/Ir構造の下部電極3

0bにおいて、最も下のIr膜18は酸素バリアであり、第1のPt膜(Pt-インターフェース膜)21は配向増強兼密着向上膜であり、PtO₂膜22はイリジウム拡散防止膜であり、最も上の第2のPt膜23はPZT膜26の配向制御膜となる。

【0165】なお、下部電極30aにおいて、第2のPt膜24の代わりにロジウム膜又はパラジウム膜を形成してもよいし、Ir膜18の代わりにルテニウム膜を形成してもよく、IrO₂膜20の代わりに酸化ルテニウム膜であってもよい。また、下部電極30aを構成する各金属膜又は金属酸化膜は、上記した膜厚に限定されるものではない。Pt-インターフェース膜21の膜厚は、3～50nmの範囲内にあることが好ましい。

(第5の実施の形態)図22～図25は、本発明の実施形態に係るFeRAMのメモリセルの製造工程を示す断面図である。

【0166】まず、図22(a)に示す断面構造を得るまでの工程を説明する。

【0167】図22(a)に示すように、n型又はp型のシリコン(半導体)基板40のトランジスタ形成領域の周囲にフォトリソグラフィ法により素子分離用溝を形成した後に、素子分離用溝の中に酸化シリコン(SiO₂)を埋め込んで素子分離膜42を形成する。そのような構造の素子分離膜42は、STI(Shallow Trench Isolation)と呼ばれる。なお、LOCOS(Local Oxidation of Silicon)法により形成した絶縁膜を素子分離膜として採用してもよい。

【0168】続いて、シリコン基板40のトランジスタ形成領域にp型不純物を導入してpウェル44を形成する。さらに、シリコン基板40のトランジスタ形成領域表面を熱酸化して、ゲート絶縁膜46となるシリコン酸化膜を形成する。

【0169】次に、シリコン基板40の上側全面に非晶質又は多結晶のファスシリコン膜とシリコン窒化膜を順次形成し、これらのシリコン膜及びシリコン窒化膜をフォトリソグラフィ法によりパターンニングして、シリコン窒化膜50が積層されたゲート電極48a、48bを形成する。

【0170】なお、1つのpウェル44上には2つのゲート電極48a、48bが並列に形成され、それらのゲート電極48a、48bはワード線の一部を構成する。

【0171】次に、pウェル44のうちゲート電極48a、48bの両側にn型不純物をイオン注入してソース／ドレインとなる第1～第3のn型不純物拡散領域56a～56cを形成する。

【0172】さらに、CVD法により絶縁膜、例えば酸化シリコン(SiO₂)膜をシリコン基板40の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極48a、48bの両側部分に絶縁性のサイドウォールスペーサ54として残す。

【0173】続いて、ゲート電極48a、48bとサイドウォールスペーサ54をマスクに使用して、第1～第3のn型不純物拡散領域56a～56cに再びn型不純物をイオン注入することにより、高濃度不純物領域52a～52cを形成して、第1～第3のn型不純物拡散領域56a～56cをLDD構造にする。

【0174】なお、1つのトランジスタ形成領域における2つのゲート電極48a、48bの間の第1のn型不純物拡散領域56aはビット線に電氣的に接続され、トランジスタ形成領域の両端側の第2、第3のn型不純物拡散領域56b、56cは、後述する容量素子の下部電極に電氣的に接続される。

【0175】以上の工程により、pウェル44にはゲート電極48a、48bとLDD構造のn型不純物拡散層56a～56cを有する2つのMOSTランジスタT₁、T₂が形成される。

【0176】次に、MOSTランジスタT₁、T₂を覆うカバー絶縁膜58として約200nmの厚さの酸化シリコン(SiON)膜をプラズマCVD法によりシリコン基板40の全面に形成する。その後、TEOSガスを用いるプラズマCVD法により、膜厚1.0μm程度の酸化シリコン(SiO₂)膜60をカバー膜58の上に形成する。

【0177】続いて、酸化シリコン膜60の緻密化処理として、例えば常圧の窒素雰囲気中で酸化シリコン膜60を700℃の温度で30分間熱処理する。その後に、酸化シリコン膜60の上面を化学機械研磨(CMP)法により平坦化する。

【0178】なお、酸化シリコン膜60とカバー膜58を第1層間絶縁膜62とする。

【0179】次に、図22(b)に示す状態になるまでの工程を説明する。

【0180】まず、フォトリソグラフィ法により第1層間絶縁膜62をパターンニングして、第1の不純物拡散領域56aに到達する深さの第1のコンタクトホール64aを形成する。その後、第1層間絶縁膜62上面と第1のコンタクトホール64a内面に、グルー膜として膜厚50nmの窒化チタン(TiN)膜をスパッタ法により順に形成する。さらに、WF₆を用いるCVD法によってタングステン(W)膜をTiN膜上に成長して第1のコンタクトホール64a内を完全に埋め込む。

【0181】続いて、W膜及びTiN膜をCMP法により研磨して第1層間絶縁膜62の上面上から除去する。第1のコンタクトホール64a内に残されたタングステン膜、TiN膜は第1導電性プラグ66aとして使用される。

【0182】その後に、第1層間絶縁膜62上と第1導電性プラグ9上に、膜厚100nmの窒化シリコン(Si₃N₄)よりなる酸化防止絶縁膜63aと膜厚100nmのSiO₂よりなる下地絶縁膜63bをプラズマCVD法によ

り順に形成する。その SiO_2 膜はTEOSを用いてプラズマCVDにより成長される。酸化防止絶縁膜63aは、後のアニール等による熱処理の際に第1の導電性プラグ66aが異常酸化してコンタクト不良を起こさないようにするために形成され、その膜厚を例えば70nm以上にすることが望ましい。

【0183】次に、図23(a)に示すような状態になるまでの工程を説明する。

【0184】まず、レジストパターン（不図示）を用いて、酸化防止絶縁膜63a、下地絶縁膜63b及び第1層間絶縁膜62をエッチングすることによって、図3(a)に示すように、第2及び第3のコンタクトホール64b、64cを第2及び第3の不純物拡散領域56b、56cの上に形成する。

【0185】さらに、下地絶縁膜63b上面と第2、第3のコンタクトホール64b、64c内面に、グルー膜として膜厚50nmのTiN膜をスパッタ法により形成する。さらに、CVD法によりW膜をTiN膜上に成長して第2、第3のコンタクトホール64b、64c内を完全に埋め込む。

【0186】続いて、W膜、TiN膜及びTi膜をCMP法により研磨して下地絶縁膜63bの上面上から除去する。これにより第2、第3のコンタクトホール64b、64c内に残されたタングステン膜、TiN膜及びTi膜をそれぞれ第2、第3導電性プラグ66b、66cとする。

【0187】次に、図23(b)に示す構造を形成するまでの工程を説明する。

【0188】まず、第2、第3導電性プラグ66b、66c上と下地絶縁膜63b上に、イリジウム(Ir)膜18、酸化イリジウム(IrO_x)膜20を形成する。

【0189】Ir膜18は、例えば、基板温度を400℃、パワーを1kWに設定するとともに成長雰囲気内にアルゴン(Ar)ガスを100sccmの流量で導入し、成長時間を144秒とする条件で、スパッタ法により200nmの厚さに形成される。

【0190】 IrO_x 膜20は、例えば、基板温度を400℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを60sccm、酸素(O_2)ガスを20sccmの流量で導入し、成長時間を10秒とする条件下で、スパッタ法により28nmの厚さに形成される。そのような条件によれば、 IrO_x 膜20のうちの酸素(O)の組成比xは $x=1\sim 1.2$ となってメタリックな構造となる。

【0191】次に、図24(a)に示すように、 IrO_x 膜20上に、第1のプラチナ(Pt)膜21、酸化プラチナ(PtO_x)膜22及び第2のプラチナ(Pt)膜24を順に形成する。

【0192】第1のPt膜21は、酸化プラチナ(PtO_x)膜22の結晶方位を制御するためのPt-インターフェース膜であって、例えば、基板温度を350℃、パ

ワーを1kWに設定するとともに成長雰囲気内にArガスを100sccmの流量で導入し、成長時間を4秒とする条件で、スパッタ法により5nmの厚さに形成される。

【0193】 PtO_x 膜22は、例えば、基板温度を350℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを36sccm、酸素(O_2)ガスを144sccmの流量で導入し、成長時間を27秒とする条件で、スパッタ法により30nmの厚さに形成される。

【0194】第2のPt膜24は、例えば、基板温度を100℃、パワーを1kWに設定するとともに成長雰囲気内にArガスを100sccmの流量で導入し、成長時間を34秒とする条件で、スパッタ法により50nmの厚さに形成される。

【0195】なお、第1のPt膜21、 PtO_x 膜22、第2のPt膜24は、同じスパッタ装置で連続して形成されるのが好ましい。

【0196】この後に、アルゴン導入雰囲気中における750℃、60秒間の急速加熱処理により、第2のPt膜24を結晶化する。

【0197】以上のようなIr膜18、 IrO_x 膜20、第1のPt膜21、 PtO_x 膜22及び第2のPt膜24からなるPt/ PtO_x /Pt/ IrO_x /Ir構造を下部電極用導電膜17とする。

【0198】次に、図24(b)に示すように、下部電極用導電膜17上に、強誘電体膜26として例えば膜厚100nmのPZT膜をスパッタ法により形成する。強誘電体膜26の材料としては、PZTの他に、PLCSZT、PLZTのような他のPZT系材料や、SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。また、高誘電体容量素子を形成しようとする場合には、強誘電体膜の代わりに、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ 、 SrTiO_3 、PLZTなどの高誘電体膜が形成される。

【0199】続いて、酸素雰囲気中で強誘電体膜26をアニールにより結晶化する。アニールとして、例えばアルゴンと酸素の混合ガス雰囲気中で基板温度600℃、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750℃、時間60秒の条件を第2ステップとする2ステップの急速加熱(RTA)処理を採用する。

【0200】さらに、強誘電体膜26の上に、上部電極用導電膜27として例えば膜厚200nmの酸化イリジウム(IrO_2)をスパッタ法により形成する。なお、上部電極用導電膜27として IrO_x 膜の代わりにPt膜を形成してもよい。

【0201】この後に、上部電極用導電膜27上に、ハードマスク（不図示）としてTiN膜と SiO_2 膜を順に形成する。そのハードマスクは、フォトリソグラフィ法により第2及び第3導電性プラグ66b、66cの上方に容量素子平面形状となるようにパターンされる。

【0202】次に、図25に示すように、ハードマスク

(不図示)に覆われない領域の上部電極用導電膜27、強誘電体膜26、下部電極用導電膜17を順次エッチングする。

【0203】これにより、下地絶縁膜63bの上には、下部電極用導電膜17よりなる下部電極30aと、強誘電体膜26よりなる誘電体膜32aと、上部電極用導電膜27よりなる上部電極34aが形成される。そして、上部電極34aと誘電体膜32aと下部電極30aにより容量素子Qが形成される。

【0204】そして、トランジスタ形成領域において、1つの下部電極30aは第2導電性プラグ66bを介して第2不純物拡散領域56bに電気的に接続され、また、別の下部電極15aは第3導電性プラグ66cを介して第3不純物拡散領域56cに電気的に接続される。

【0205】その後、ハードマスク(不図示)を除去する。

【0206】続いて、エッチングによる強誘電体膜26のダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素雰囲気中で行われる。

【0207】次に、図26に示すように、容量素子Qを覆う保護膜86として膜厚50nmのアルミナをスパッタにより基板上に形成した後に、酸素雰囲気中で650℃で60分間の条件で容量素子Qをアニールする。この保護膜86は、プロセスダメージから容量素子Qを保護するものであり、PZTから構成してもよい。

【0208】その後、TEOSガスを用いるプラズマCVD法により、第2層間絶縁膜88として膜厚1.0μm程度の酸化シリコン(SiO₂)を保護膜86上に形成する。さらに、第2層間絶縁膜88の上面をCMP法により平坦化する。

【0209】次に、図27に示す構造を形成するまでの工程を説明する。

【0210】まず、レジストマスク(不図示)を用いて第2層間絶縁膜88、保護膜86、酸化防止絶縁膜63a及び下地絶縁膜63bを選択的にエッチングすることにより、第1導電プラグ66aの上にホール90を形成する。そのエッチング後には、容量素子Qの誘電体膜32aを構成する強誘電体膜26をダメージから回復させるために、例えば酸素雰囲気にて基板温度を550℃として60分間のアニールを施す。

【0211】さらに、ホール90内と第2層間絶縁膜88上に、グレー膜として膜厚50nmのTiN膜をスパッタ法により順に形成する。さらに、CVD法によりW膜をグレー層上に成長するとともにホール90内を完全に埋め込む。

【0212】続いて、W膜、TiN膜をCMP法により研磨して第2層間絶縁膜88の上面上から除去する。そして、ホール90内に残されたタングステン膜及びグレー膜を、第4導電性プラグ92とする。この第4導電性プ

ラグ92は、第1導電性プラグ66aを介して第1不純物拡散領域56aに電気的に接続される。

【0213】次に、図28に示す構造を形成するまでの工程を説明する。

【0214】まず、第4導電性プラグ92上と第2層間絶縁膜88上に、第2の酸化防止膜89としてSiON膜をCVD法により形成する。さらに、第2の酸化防止膜89と第2層間絶縁膜88をフォトリソグラフィ法によりパターンニングして容量素子Qの上部電極34a上にコンタクトホール94を形成する。

【0215】コンタクトホール92を形成することによりダメージを受けた容量素子Qはアニールによって回復される。そのアニールは、例えば酸素雰囲気中で基板温度550℃として60分間行われる。

【0216】その後、第2層間絶縁膜88上に形成された第2の酸化防止膜89をエッチバックによって除去するとともに第4導電性プラグ92の上面を露出させる。

【0217】次に、図29に示す構造を形成するまでの工程を説明する。

【0218】容量素子Qの上部電極34a上のコンタクトホール94内と第2層間絶縁膜88の上に多層金属膜を形成する。その後、多層金属膜をパターンニングすることにより、コンタクトホール94を通して上部電極34aに接続される多層金属膜からなる配線層aと、第4導電性プラグ92に接続される多層金属膜からなる導電性パッド99を形成する。その多層金属膜として、例えば、膜厚60nmのTi、膜厚30nmのTiN、膜厚40nmのAl-Cu、膜厚5nmのTi、及び膜70nmのTiNを順に形成する。

【0219】なお、多層金属膜のパターンニング方法として、多層金属膜の上に反射防止膜を形成し、さらに反射防止膜上にレジストを塗布した後に、レジストを露光、現像して配線形状等のレジストパターンを形成し、そのレジパターンを用いてエッチングする方法を採用する。

【0220】さらに、第2層間絶縁膜88、配線層98及び導電性パッド99の上に第3層間絶縁膜97を形成する。続いて、第3層間絶縁膜97をパターンニングして導電性パッド96の上にホール97aを形成し、そのホール97a内に下から順にTiN膜、W膜からなる第5導電性プラグ95を形成する。

【0221】その後、特に図示しないが、ビット線を含む二層目配線を第3層間絶縁膜97上に形成する。そのビット線は、第5導電性プラグ95、導電性パッド99、第4導電性プラグ92及び第1導電性プラグ66aを介して第1不純物拡散領域56aに電気的に接続される。それに続いて、二層目配線層を覆う絶縁膜等が形成されるが、その詳細は省略する。

【0222】以上の工程は、FeRAMのメモリセル領域の形成工程である。

【0223】以上のような工程により形成された容量素子Qは、Pt/PtO_x/Pt/IrO_x/Ir構造からなる下部電極30aを有しているため、第4実施形態と同様に、下部電極30a内の最上のPt膜24は(111)配向が強くなり、その上に形成されるPZT膜26又はその他の酸化物誘電体膜は(111)配向し易くなり膜質が向上する。

【0224】従って、第1実施形態と同様に、容量素子Qのリーク電流の低減、容量素子Q直下の導電性プラグ66b、66cの酸化防止という作用効果を奏するだけでなく、容量素子Qの分極飽和電圧を第1実施形態の容量素子よりも低くし、容量素子Qのスイッチング電荷量を第1実施形態の容量素子よりも高くし、容量素子Qの疲労損失を第1実施形態の容量素子よりも少なくし、リテンション特性を第1実施形態の容量素子よりも高くすることができる。

【0225】なお、メモリセルを構成する容量素子Qとして、図21に示す構造を採用してもよい。

【0226】以上詳述したように、本発明による容量素子及びその製造方法並びに半導体装置の特徴をまとめると以下の通りとなる。

(付記1) 第1金属を含む第1導電膜と、前記第1導電膜上に形成されて前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜と、前記第2導電膜の上に形成されて前記第1金属と異なる第3金属よりなる第3導電膜とを順に形成した構造の下部電極と、前記下部電極上に形成された誘電体膜と、前記誘電体膜の上に形成された上部電極とを有することを特徴とする容量素子。

(付記2) 前記第1金属はイリジウムであり、前記第2金属の金属酸化物はイリジウムを除く白金族の金属酸化物であり、前記第3金属はイリジウムを除く白金族の金属であることを特徴とする付記1に記載の容量素子。

(付記3) 前記第2金属は前記第3金属と同じ元素であって、前記第1導電膜と前記第2導電膜の間には前記第2金属よりなるインターフェース導電膜がさらに形成されていることを特徴とする付記1又は付記2に記載の容量素子。

(付記4) 前記第1導電膜はイリジウム又はルテニウムを含んで酸素の拡散を防止する機能を有し、前記第2導電膜はイリジウム又はルテニウムの拡散を防止する機能を有することを特徴とする付記1乃至付記3のいずれかに記載の容量素子。

(付記5) 前記第2金属はプラチナであり、且つ前記第2導電膜は酸化プラチナ膜であることを特徴とする付記1乃至付記4のいずれかに記載の容量素子。

(付記6) 前記第1導電膜は、第1金属膜と第1金属酸化物膜を順に形成した積層膜であることを特徴とする付記1乃至付記5のいずれかに記載の容量素子。

(付記7) 前記第1金属膜はイリジウム膜であり、前記第1金属酸化物膜は酸化イリジウム膜であることを特徴と

する付記6に記載の容量素子。

(付記8) 前記酸化イリジウムは、IrO_x (0<x<1.2)で表されることを特徴とする付記7に記載の容量素子。

(付記9) 前記誘電体膜は、強誘電体膜又は高誘電体膜のいずれかであることを特徴とする付記1乃至付記8のいずれかに記載の容量素子。

(付記10) 基板と、前記基板上に形成された絶縁膜と、前記絶縁膜に埋め込まれた電極プラグとを更に有し、前記下部電極は、前記電極プラグ上に形成されていることを特徴とする付記1乃至付記9のいずれかに記載の容量素子。

(付記11) 第1金属を含む第1導電膜を絶縁膜上に形成する工程と、前記第1金属と異なる第2金属の金属酸化物よりなる第2導電膜を前記第1導電膜上に形成する工程と、前記第1金属と異なる第3金属よりなる第3導電膜を前記第2導電膜上に形成する工程と、誘電体膜を前記下部電極上に形成する工程と、前記誘電体膜の上に第4導電膜を形成する工程と、前記第1導電膜、前記第2導電膜及び前記第3導電膜をパターンニングして容量素子下部電極とする工程と、前記誘電体膜をパターンニングして容量素子誘電体膜とする工程と、前記第4導電膜をパターンニングして容量素子上部電極とする工程とを有することを特徴とする容量素子の製造方法。

(付記12) 前記第1金属元素はイリジウムであり、前記第2金属の金属酸化物はイリジウムと異なる白金族の金属酸化物であり、前記第3金属はイリジウムと異なる白金族の金属であることを特徴とする付記11に記載の容量素子の製造方法。

(付記13) 前記第2金属は前記第3金属と同じ元素であり、前記第1導電膜と前記第2導電膜の間に前記第2金属よりなるインターフェース導電膜を形成する工程をさらに有することを特徴とする付記11又は付記12に記載の容量素子の製造方法。

(付記14) 前記第1導電膜の形成は、第1金属膜と第1金属酸化物膜を順に形成する工程を含んでいることを特徴とする付記11乃至付記13のいずれかに記載の容量素子の製造方法。

(付記15) 前記第1金属膜はイリジウム膜であり、前記第1金属酸化物膜は酸化イリジウム膜であって、前記酸化イリジウムは成長雰囲気中の酸素ガスと不活性ガスの調整によってIrO_x (0<x<1.2)となるように形成されることを特徴とする付記14に記載の容量素子の製造方法。

(付記16) 前記第2の導電膜を形成する工程では、200℃以上400℃未満の温度で、酸化プラチナよりなる前記第2の導電膜を形成することを特徴とする付記11乃至付記15のいずれかに記載の容量素子の製造方法。

(付記17) 前記第3の導電膜を形成する工程では、4

00℃未満の温度で、プラチナよりなる前記第3の導電膜を形成することを特徴とする付記11乃至付記16のいずれかの容量素子の製造方法。

(付記18) 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板内に形成されたソース／ドレイン拡散層とを有するトランジスタと、前記トランジスタ上を覆う絶縁膜と、前記絶縁膜に埋め込まれ、前記ソース／ドレイン拡散層に電気的に接続された電極プラグと、前記電極プラグ上に形成され、イリジウムを含む第1導電膜と、前記第1導電膜上に形成され、イリジウムを除く白金族の金属酸化物よりなる第2の導電膜と、前記第2導電膜上に形成され、イリジウムを除く白金族の金属よりなる第3導電膜とを有する下部電極と、前記下部電極上にスパッタリングにより形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有し、且つ前記下部電極が前記電極プラグに電気的に接続された容量素子とを有することを特徴とする半導体装置。

(付記19) 半導体基板上に形成され、ゲート電極と、前記ゲート電極の両側の前記半導体基板内に形成されたソース／ドレイン拡散層とを有するトランジスタと、前記トランジスタ上を覆う絶縁膜と、前記絶縁膜に埋め込まれ、前記ソース／ドレイン拡散層に電気的に接続された電極プラグと、前記電極プラグ上に形成され、イリジウムを含み、酸素の拡散を防止する第1の導電膜と、前記第1導電膜上に形成され、前記第1の導電膜からのイリジウムの拡散を防止する第2導電膜と、前記第2導電膜上に形成され、イリジウムを除く白金族の金属よりなる第3導電膜とを有する下部電極と、前記下部電極上にスパッタリングにより形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成された上部電極とを有し、前記下部電極が前記電極プラグに電気的に接続された容量素子とを有することを特徴とする半導体装置。

(付記20) 付記18又は付記19に記載の半導体装置において、前記第2の導電膜は、酸化プラチナ膜であることを特徴とする半導体装置。

(付記21) 付記18乃至付記20のいずれかに記載の半導体装置において、前記第3の導電膜は、プラチナ膜であることを特徴とする半導体装置。

(付記22) 付記18乃至付記21のいずれかに記載の半導体装置において、前記第1の導電膜は、イリジウム膜と、前記イリジウム膜上に形成された酸化イリジウム膜との積層膜であることを特徴とする半導体装置。

(付記23) 前記第1導電膜と前記第2導電膜の間に、イリジウムと異なる白金族の金属よりなるインターフェース導電膜を形成することを特徴とする付記18乃至付記22のいずれかに記載の半導体装置。

(付記24) 前記インターフェース導電膜はプラチナであることを特徴とする付記23に記載の半導体装置。

【0227】

【発明の効果】以上述べたように本発明によれば、イリジウムを含む第1導電膜と、第1導電膜上に形成され、イリジウムを除く白金族の金属酸化物よりなる第2導電膜と、第2導電膜上に形成され、イリジウムを除く白金族の金属よりなる第3導電膜とを有する下部電極と、下部電極上に形成されたキャパシタ誘電体膜と、キャパシタ誘電体膜上に形成された上部電極とにより容量素子を構成したので、第1導電膜によってキャパシタ誘電体膜の成膜過程における下方のプラグへの酸素の拡散を防止するとともに、第2導電膜によって第1導電膜からキャパシタ誘電体膜へのイリジウムの拡散を防止することができる。

【0228】したがって、スパッタリングによりキャパシタ誘電体膜を形成した場合であっても、イリジウムの拡散を防止しつつキャパシタ誘電体膜の十分な結晶化を図ることができる。これにより、所望の電気特性を有する高性能の容量素子を製造することができる。

【0229】さらに、本発明によれば、第1導電膜と第2導電膜の間にイリジウム以外の白金族の金属、例えばプラチナから構成されるインターフェース導電膜を形成したので、第3導電膜とその上の強誘電体膜の(111)配向強度を高めることができ、強誘電体キャパシタの電気的特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による容量素子の構造を示す概略断面図である。

【図2】容量素子中におけるイリジウムの拡散及びその防止効果を示すグラフである。

【図3】本発明の第1実施形態による容量素子の製造方法を示す工程断面図である。

【図4】本発明の第1実施形態による容量素子における残留電荷量の基板温度依存性を示すグラフである。

【図5】本発明の第1実施形態による容量素子におけるリーク電流の基板温度依存性を示すグラフである。

【図6】本発明の第1実施形態による容量素子における残留電荷量のガス流量比依存性を示すグラフである。

【図7】本発明の第1実施形態の変形例による容量素子の構造を示す概略断面図である。

【図8】本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

【図9】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

【図10】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

【図11】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

【図12】本発明の第4実施形態による容量素子の製造方法を示す工程断面図(その1)である。

【図13】本発明の第4実施形態による容量素子の製造

方法を示す工程断面図(その2)である。

【図14】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれを構成する下部電極とその上で結晶化されるPZT膜の各々の(111)配向積分強度を示す図である。

【図15】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子分極飽和電圧を示す図である。

【図16】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる印加電圧1.8Vでの強誘電体容量素子スイッチング電荷量を示す図である。

【図17】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる印加電圧3.0Vでの強誘電体容量素子スイッチング電荷量を示す図である。

【図18】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子リーク電流密度を示す図である。

【図19】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子疲労損失特性を示す図である。

【図20】本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子リテンション特性を示す図である。

【図21】本発明の第4実施形態に係る容量素子の他の例を示す断面図である。

【図22】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その1)である。

【図23】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その2)である。

【図24】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その3)である。

【図25】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その4)である。

【図26】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その5)である。

【図27】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その6)である。

【図28】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その7)である。

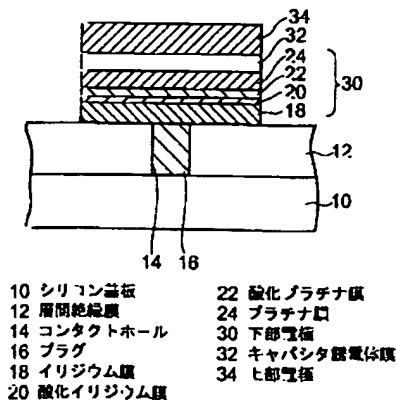
【図29】本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その8)である。

【符号の説明】

10…シリコン基板、12…層間絶縁膜、14…コンタクトホール、16…プラグ、17…下部電極用導電膜、18…イリジウム膜、20…酸化イリジウム膜、21…プラチナ膜、22…酸化プラチナ膜、24…プラチナ膜、26…PZT膜、27…上部電極用導電膜、28…プラチナ膜、30、30a、30b…下部電極、32、32a…キャパシタ誘電体膜、34、34a…上部電極、40…シリコン基板、42…素子分離膜、44…Pウェル、46…ゲート絶縁膜、48、48a、48b…ゲート電極、50、58…シリコン窒化膜、52a～52c…高濃度不純物領域、52…不純物拡散領域、54…サイドウォール絶縁膜、56…ソース/ドレイン拡散層、56a～56c…不純物拡散領域、60…シリコン酸化膜、62、88…層間絶縁膜、63a、89…酸化防止膜、63b…下地絶縁膜、64、90、94…コンタクトホール、66、66a、66b、66c、92、95…プラグ、68…イリジウム膜、70、78…酸化イリジウム膜、72…酸化プラチナ膜、74…プラチナ膜、76…PZT膜、80…下部電極、82…キャパシタ誘電体膜、84…上部電極、86…強誘電体キャパシタ保護膜、96、98…配線層、97…層間絶縁膜、99…パッド。

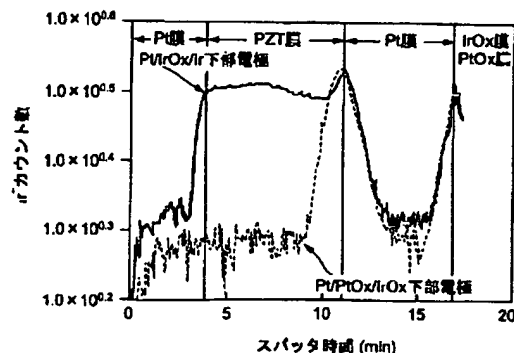
【図1】

本発明の第1実施形態による容量素子の構造を示す概略断面図



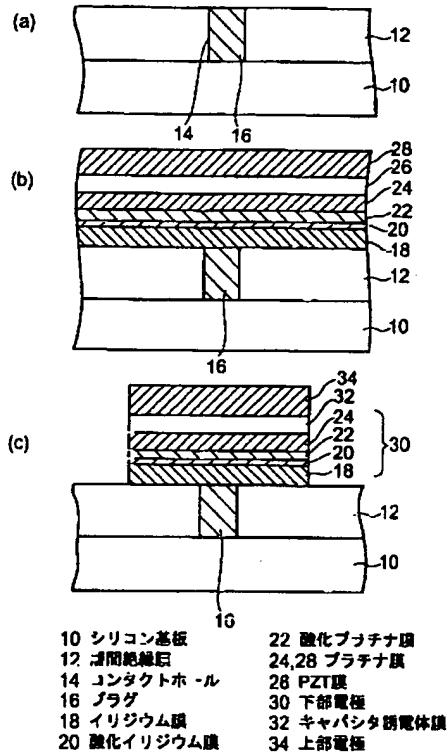
【図2】

容量素子中におけるイリジウムの拡散及びその防止効果を示すグラフ



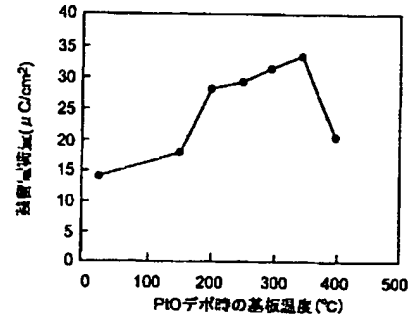
【図3】

本発明の第1実施形態による容量素子の製造方法を示す工程断面図



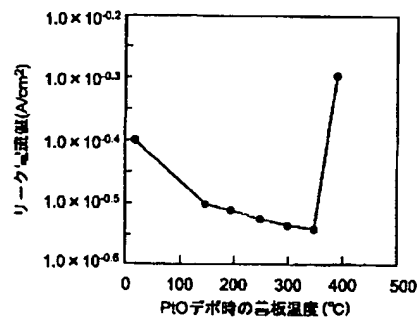
【図4】

本発明の第1実施形態による容量素子における残留電荷量の基板温度依存性を示すグラフ



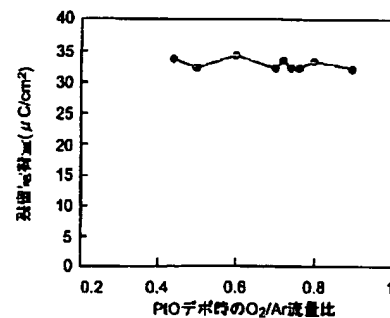
【図5】

本発明の第1実施形態による容量素子におけるリーク電流の基板温度依存性を示すグラフ



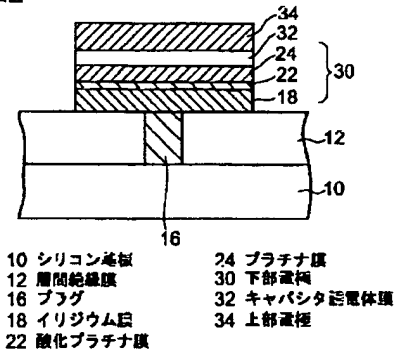
【図6】

本発明の第1実施形態による容量素子における残留電荷量のガス流量比依存性を示すグラフ



【図7】

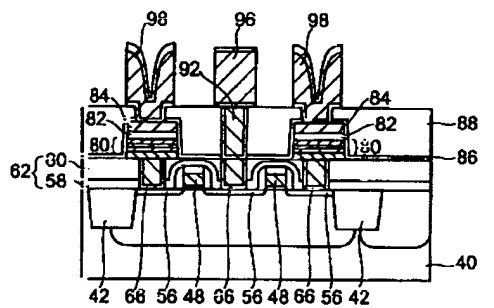
本発明の第1実施形態の変形例による容量素子の構造を示す
縦断面図



- | | |
|------------|--------------|
| 10 シリコン基板 | 24 プラチナ膜 |
| 12 層間絶縁膜 | 30 下部電極 |
| 16 プラグ | 32 キャパシタ誘電体膜 |
| 18 イリジウム膜 | 34 上部電極 |
| 22 酸化プラチナ膜 | |

【図8】

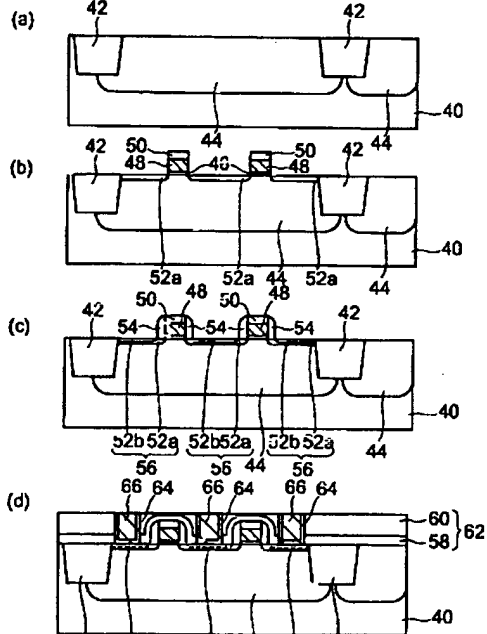
本発明の第2実施形態による半導体装置の構造を示す縦断面図



- | | |
|----------------|-----------------|
| 40 シリコン基板 | 80 下部電極 |
| 42 素子分離膜 | 82 キャパシタ誘電体膜 |
| 48 ゲート電極 | 84 上部電極 |
| 56 ソース/ドレイン拡散層 | 86 強誘電体キャパシタ保護膜 |
| 62,88 層間絶縁膜 | 96,98 配線層 |
| 66,92 プラグ | |

【図9】

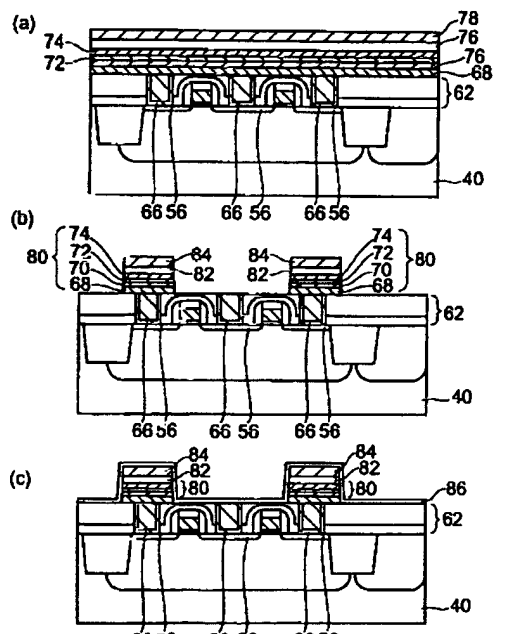
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)



- | | | |
|-----------|----------------|-------------|
| 40 シリコン基板 | 50,58 シリコン酸化膜 | 60 シリコン酸化膜 |
| 42 素子分離膜 | 52 不純物拡散領域 | 62 層間絶縁膜 |
| 44 Pウェル | 54 サイドウォール絶縁膜 | 64 インタクトホール |
| 46 ゲート絶縁膜 | 56 ソース/ドレイン拡散層 | 66 プラグ |
| 48 ゲート電極 | | |

【図10】

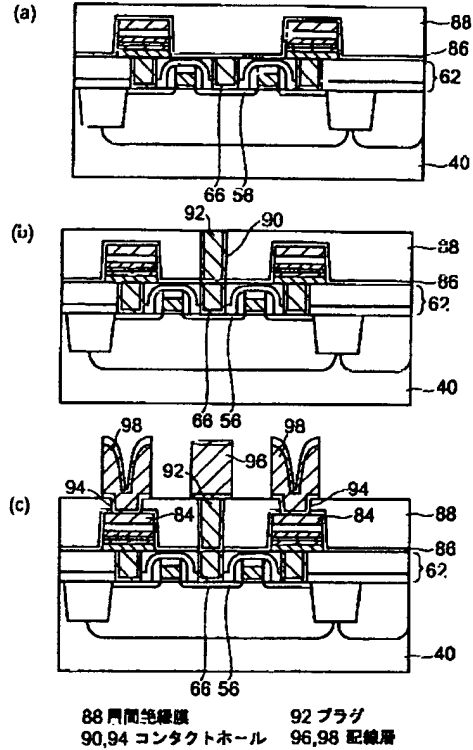
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)



- | | |
|----------------|-----------------|
| 88 イリジウム膜 | 80 下部電極 |
| 70,78 酸化イリジウム膜 | 82 キャパシタ誘電体膜 |
| 72 酸化プラチナ膜 | 84 上部電極 |
| 74 プラチナ膜 | 86 強誘電体キャパシタ保護膜 |
| 76 PZT膜 | |

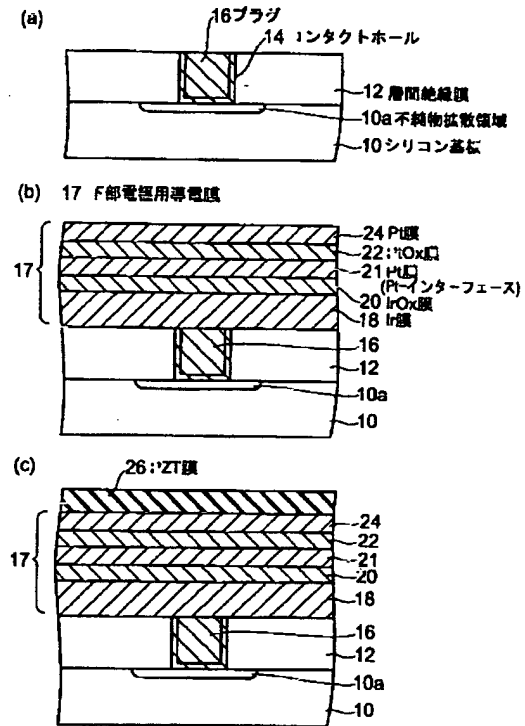
【図11】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図(その3)



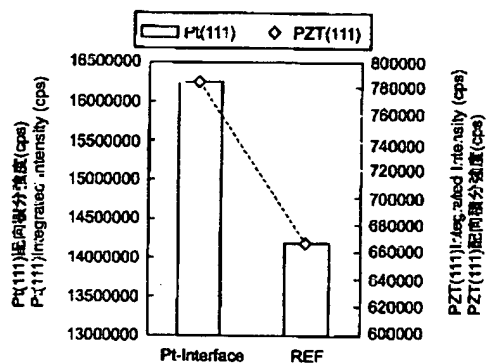
【図12】

本発明の第4実施形態による容量素子の製造方法を示す工程断面図(その1)



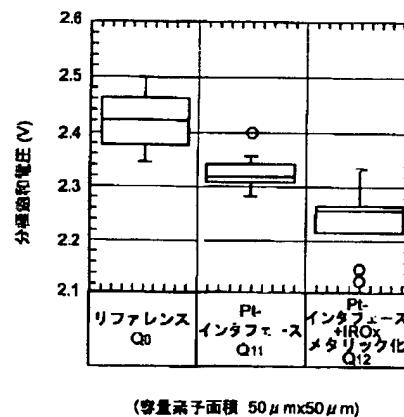
【図14】

本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれを構成するF部電極とその上で結晶化されるPZT膜の各々の(111)配向積分強度



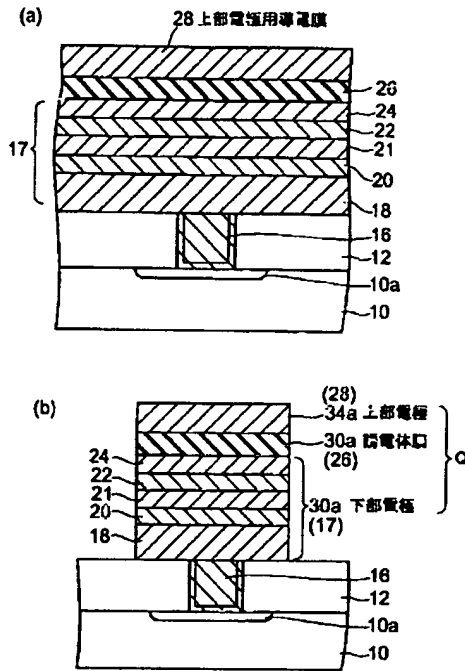
【図15】

本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれのF部電極構造の違いによる強誘電体容量素子分極飽和電圧



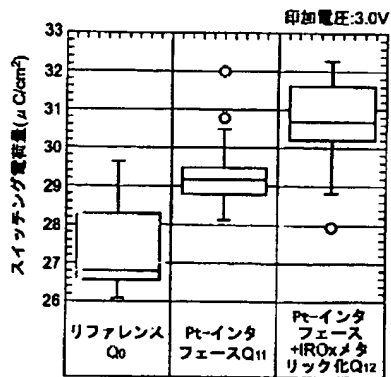
【図13】

本発明の第4実施形態による容量素子の製造方法を示す
て断断面図(その2)



【図17】

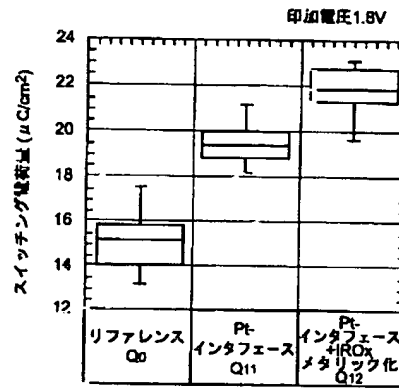
本発明の第4実施形態の容量素子とリファレンス容量素子の
それぞれの下部電極構造の違いによる印加電圧3.0Vでの
強誘電体容量素子スイッチング電荷量



(容量素子面積 $50 \mu\text{m} \times 50 \mu\text{m}$)

【図16】

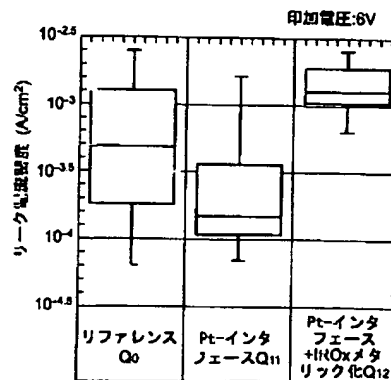
本発明の第4実施形態の容量素子とリファレンス容量素子の
それぞれの下部電極構造の違いによる印加電圧1.8Vでの
強誘電体容量素子スイッチング電荷量



(容量素子面積 $50 \mu\text{m} \times 50 \mu\text{m}$)

【図18】

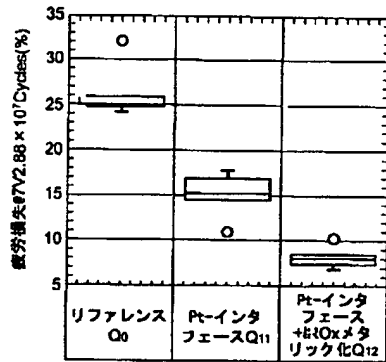
本発明の第4実施形態の容量素子とリファレンス容量素子の
それぞれの下部電極構造の違いによる強誘電体容量素子
リーク電流密度



(容量素子面積 $50 \mu\text{m} \times 50 \mu\text{m}$)

【図19】

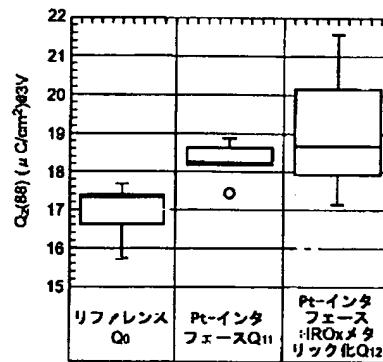
本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子疲労損失特性



(容量素子面積 $50 \mu\text{m} \times 50 \mu\text{m}$)

【図20】

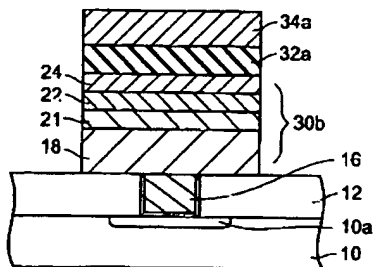
本発明の第4実施形態の容量素子とリファレンス容量素子のそれぞれの下部電極構造の違いによる強誘電体容量素子リテンション特性



(容量素子面積 $50 \mu\text{m} \times 50 \mu\text{m}$)

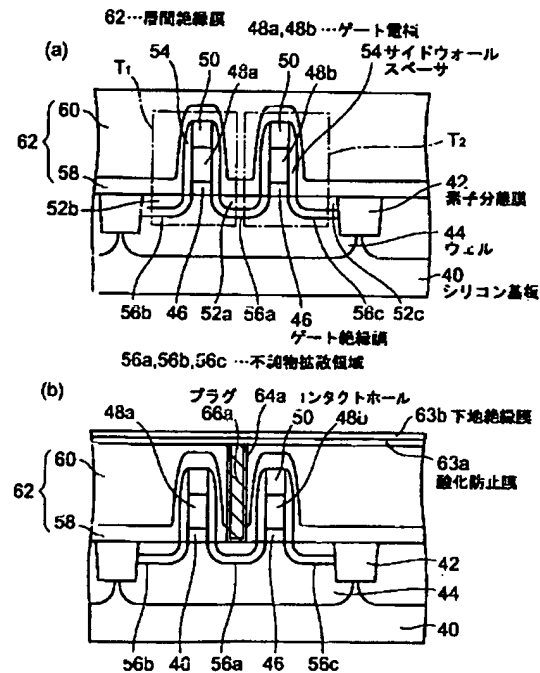
【図21】

本発明の第4実施形態に係る容量素子の他の例を示す断面図



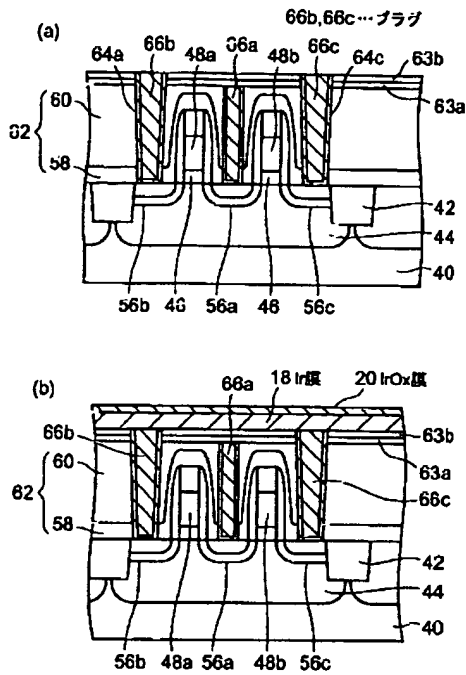
【図22】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その1)



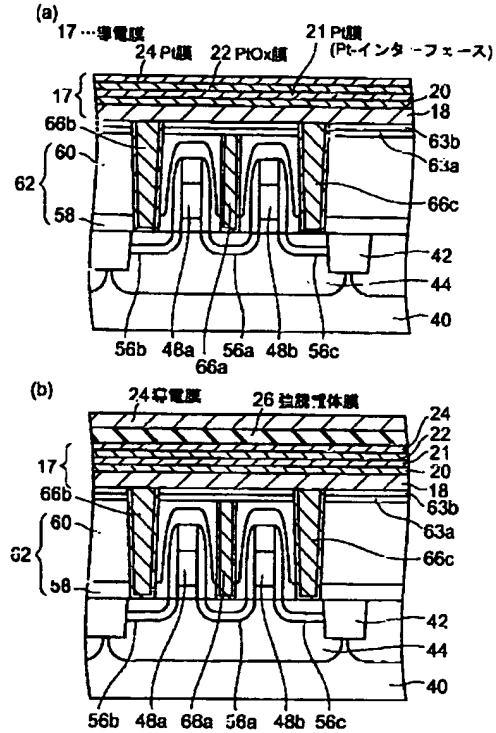
【図23】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その2)



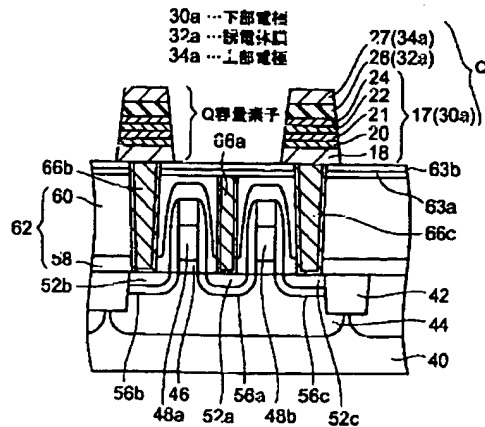
【図24】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その3)



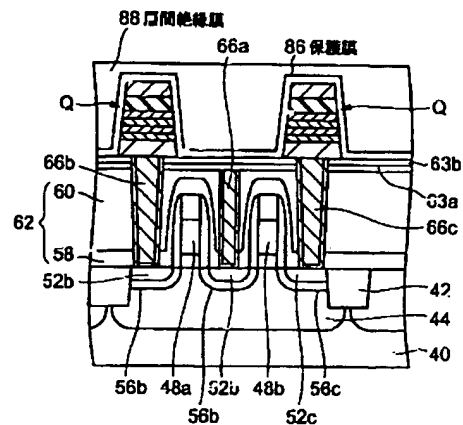
【図25】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その4)



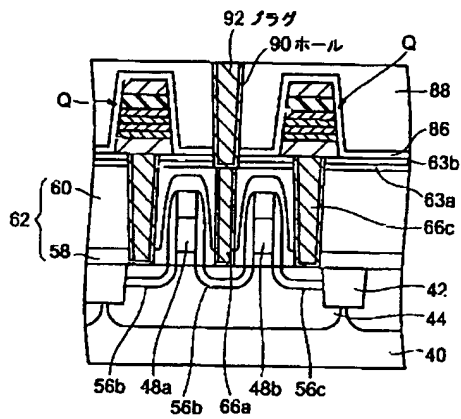
【図26】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その5)



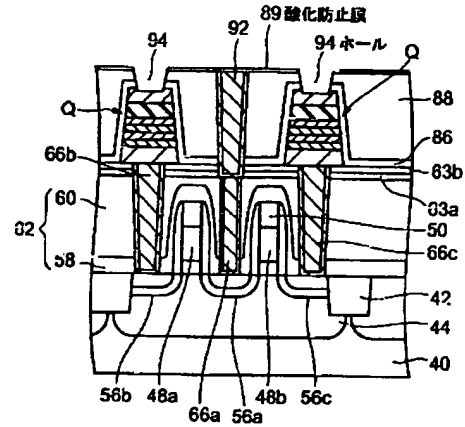
【図27】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その6)



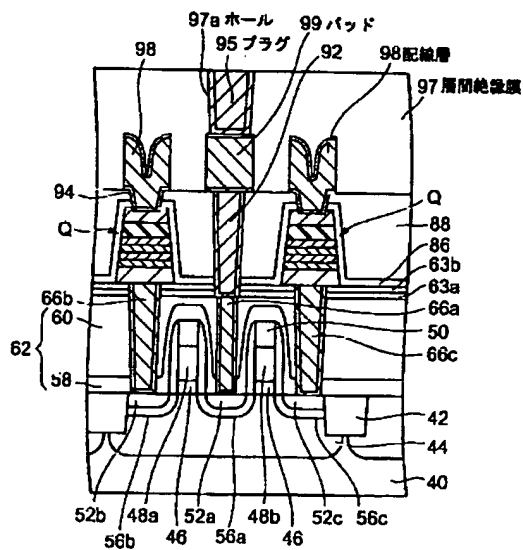
【図28】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その7)



【図29】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図(その8)



フロントページの続き

(72)発明者 藤木 充司
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F033 HH07 HH12 HH13 HH18 HH33
JJ18 JJ19 JJ33 KK01 KK07
LL06 MM05 MM08 MM13 NN06
NN07 PP15 PP16 QQ09 QQ11
QQ37 QQ48 QQ58 QQ73 QQ74
QQ82 RR03 RR04 RR06 SS11
SS21 TT08 VV06 VV10 VV16
XX28
5F083 AD10 AD22 AD43 AD48 AD49
FR02 GA06 GA25 JA06 JA14
JA15 JA38 JA39 JA40 JA43
MA06 MA17 MA19 NA01 PR22
PR34 PR40